

Esercizio 2: Verilog

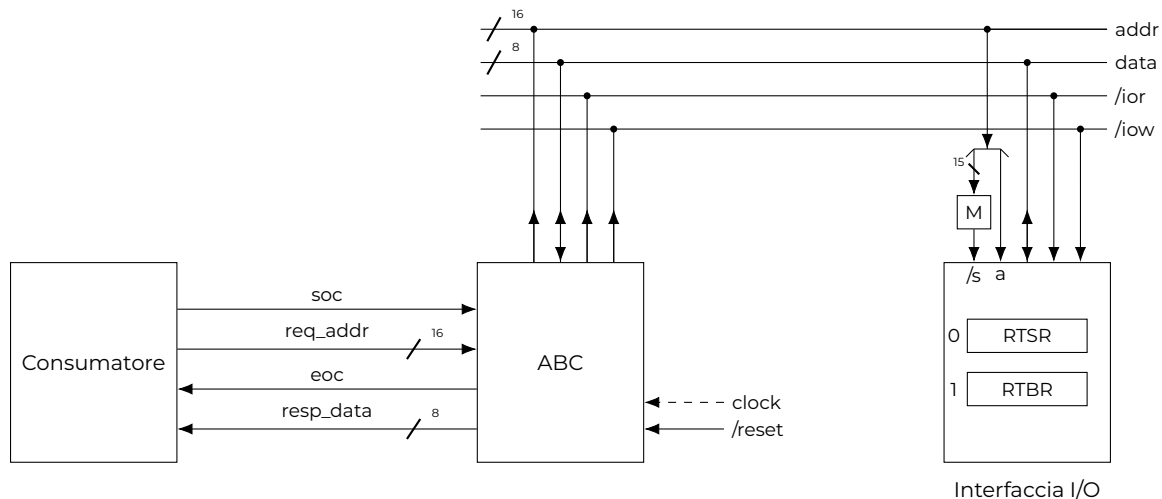


Figura 1: Schema del sistema

L'unità ABC in fig. 1 è connessa ad un consumatore tramite handshake soc/eoc e ad un bus di I/O su cui sono montate molteplici interfaccia parallele di ingresso/uscita con handshake.

Il consumatore richiede ad ABC di leggere un byte dall'interfaccia montata nello spazio di I/O a partire dall'indirizzo indicato su req_addr, e si aspetta il dato letto su resp_data. Più precisamente, ABC si comporta ciclicamente come segue:

1. Riceve dal consumatore una richiesta di lettura tramite handshake soc/eoc, e un indirizzo di I/O req_addr. Il consumatore stabilizza req_addr prima e durante tutto il periodo in cui soc è a 1;
2. Legge un byte dall'interfaccia parallela di ingresso/uscita con handshake all'indirizzo base req_addr, tramite il bus di I/O;
3. Produce il dato letto in uscita su resp_data secondo il protocollo soc/eoc.

Le interfacce parallele seguono tutte lo schema presentato in fig. 1: sono montate a partire da un indirizzo di cui riconoscono i primi 15 bit, e dispongono di due registri, RTSR alla posizione 0 e RTBR alla posizione 1. Inoltre, i flag FI ed FO sono, rispettivamente, alla posizione 0 e 5 dell'opportuno registro.

Tutti gli accessi allo spazio di I/O vanno mediati tramite uno o più microsottoprogrammi, in particolare per la lettura di un singolo byte nello spazio di I/O. Più precisamente, i segnali addr, data, /ior, e /iow vanno pilotati e/o campionati esclusivamente all'interno di tali microsottoprogrammi. Il chiamante, invece, dovrà indicare l'indirizzo da accedere e ricevere il dato letto tramite registri interni appositi. Specificare tramite commenti la sintassi di utilizzo per ciascun microsottoprogramma realizzato (argomenti, comportamento, etc.).

Si ponga attenzione al fatto che l'utilizzo appropriato di microsottoprogrammi **non è opzionale** ed è oggetto di valutazione, secondo quanto parte del programma d'esame.

Descrivere e sintetizzare, come circuito con parte operativa e parte controllo, il modulo ABC.

Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima. Per l'uso di microsottoprogrammi, si evidenzia con commenti nella sintesi le modifiche architetturali necessarie per adottare tale modello.

Il file testbench.v è al link: <https://tinyurl.com/5efy46e6>

La documentazione Verilog in formato PDF è scaricabile al link: <https://tinyurl.com/2p8xwm4k>