

Esercizio 2: Verilog

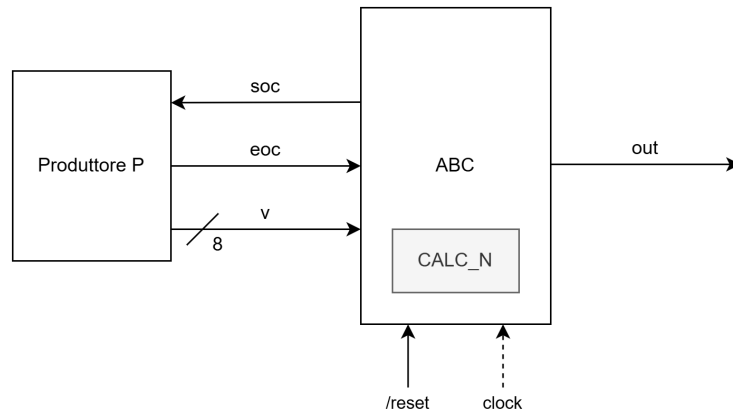


Figura 1: Schema del sistema

L'unità ABC in fig. 1 è un generatore di impulsi ad ampiezza programmabile. Riceve ciclicamente dal produttore P un numero naturale v su 8 bit, e produce in uscita su out un impulso di durata pari a $n = 2v + 6$ cicli di clock. Più precisamente, ABC si comporta ciclicamente come segue:

1. Preleva dal produttore P un nuovo valore v ;
2. Interpretando v come numero naturale, calcola $n = 2v + 6$;
3. Imposta out a 1 per esattamente n cicli di clock;
4. Ricomincia dal punto 1.

Note:

- L'uscita out deve essere inizializzata a 0 al reset, e tenuta a 0 in assenza di impulsi.
- Il produttore P fornisce sempre valori v con $0 \leq v \leq 21$.
- Non si faccia alcuna ipotesi sui tempi di risposta del produttore.

Si utilizzi un opportuno microsottoprogramma per l'attesa di n cicli di clock, descrivendone tramite commenti l'utilizzo (argomenti, comportamento, etc.). L'utilizzo appropriato di microsottoprogrammi è oggetto di valutazione, secondo quanto parte del programma d'esame.

Descrivere e sintetizzare, come circuito con parte operativa e parte controllo, il modulo ABC.

Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Per l'uso di microsottoprogrammi, si evidenzi con commenti nella sintesi le modifiche architetturali necessarie per adottare tale modello.

Sintetizzare come modulo a parte la rete combinatoria CALC_N utilizzata per il calcolo di n . Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file reti_standard.v, fornite assieme a testbench.v al link: <https://tinyurl.com/bp8zxwe6>

Note sulla sintesi della rete combinatoria:

- In CALC_N, calcolare n esattamente come richiesto. Eventuali aggiustamenti (es. $+1$ o -1) ritenuti necessari per pilotare correttamente out andranno fatti separatamente all'interno della RSS. Non è richiesta la sintesi di tali aggiustamenti.
- Non sono sintesi di reti combinatorie, e non saranno quindi ritenute valide, descrizioni contenenti operatori aritmetici e/o di relazione predefiniti del Verilog, e.g. $+$, $-$, $*$, $/$, $<$, $>$ etc.
- Sono invece validi a questo scopo gli operatori di concatenamento, (dis)uguaglianza, assegnamenti a più vie, utilizzo di altre reti che o a) rispettano questi criteri o b) provengono da reti_standard.v
- È sufficiente che la rete combinatoria sia così sintetizzata in almeno uno dei file consegnati.

La documentazione Verilog in formato PDF è scaricabile al link: <https://tinyurl.com/2p8xwm4k>