

Esercizio 2: Verilog

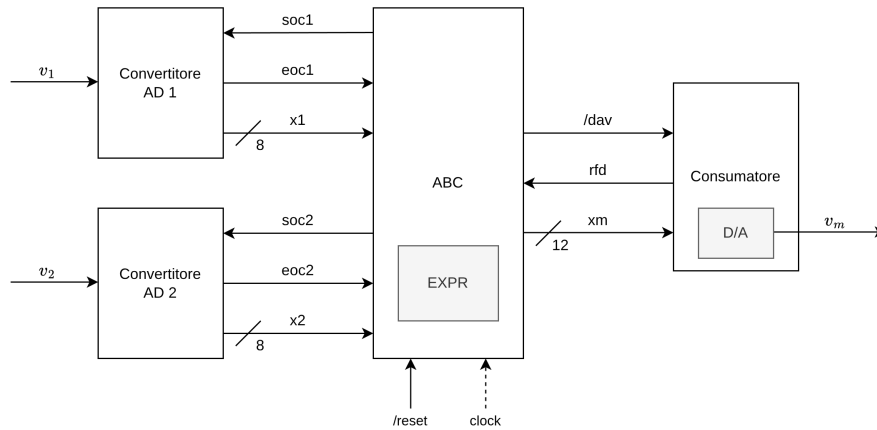


Figura 1: Schema del sistema

L'Unità ABC in fig. 1 preleva ciclicamente due campioni delle tensioni positive v_1 e v_2 tramite due convertitori A/D unipolari. I due convertitori campiono tensioni in $[0V, 25.6V]$, producendo campioni x_1 e x_2 in rappresentazione unipolare su 8 bit.

La rete ABC utilizza quindi i campioni x_1 e x_2 per calcolare la tensione media $v_m = (v_1 + v_2)/2$, da inviare al consumatore come x_m . Tale consumatore utilizza internamente un convertitore D/A che opera sullo stesso intervallo di tensioni ma con rappresentazione unipolare su 12 bit.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima. Sintetizzare come modulo a parte la rete combinatoria EXPR utilizzata per calcolare x_m . Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file `reti_standard.v`.

I file `testbench.v` e `reti_standard.v` sono al link: <https://tinyurl.com/ekffc5ph>

Note:

- Non si faccia alcuna ipotesi sui tempi di risposta dei due convertitori.
- Si ricorda che, tolti gli errori, i convertitori seguono la legge $v = x \cdot K$, dove $K = FSR/2^N$. Si considerino i convertitori *ideali*, cioè soggetti *solo* a errori di quantizzazione.
- Il valore di x_m inviato al consumatore deve essere direttamente utilizzabile per pilotare il convertitore D/A, per ottenere in uscita (tolto gli errori) una tensione v_m .

Note sulla sintesi della rete combinatoria:

- Non sono sintesi di reti combinatorie, e non saranno quindi ritenute valide, descrizioni contenenti operatori aritmetici e/o di relazione predefiniti del Verilog, e.g. $+$, $-$, $*$, $/$, $<$, $>$ etc.
- Sono invece validi a questo scopo gli operatori di concatenamento, (dis)uguaglianza, assegnamenti a più vie, utilizzo di altre reti che o a) rispettano questi criteri o b) provengono da `reti_standard.v`
- È sufficiente che la rete combinatoria sia così sintetizzata in almeno uno dei file consegnati.

La documentazione Verilog in formato PDF è scaricabile al link: <https://tinyurl.com/2p8xwm4k>