

Esercizio 2: Verilog

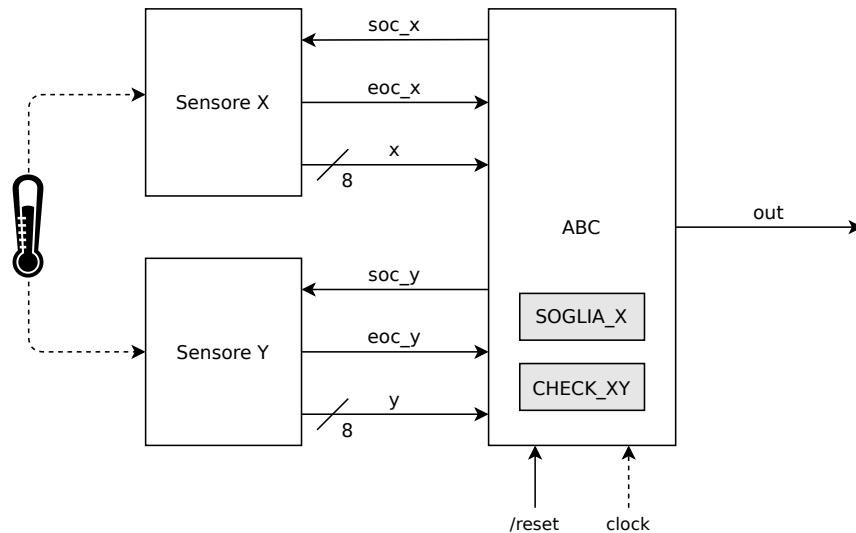


Figura 1: Schema del sistema

Nel sistema rappresentato in Figura 1, due sensori di temperatura X e Y sono collegati allo stesso elemento. Entrambi misurano temperature nell'intervallo $[0^{\circ}C, 128^{\circ}C]$, e le rappresentano in binario unipolare su 8 bit. Si consideri X più veloce ed energeticamente efficiente di Y, ma anche meno affidabile. Si assuma che i tempi di risposta dei due sensori siano non noti, ma sempre inferiori a 24 cicli di clock.

L'unità ABC si occupa di monitorare, con periodo regolare, la temperatura e segnalare, tramite un impulso sull'uscita out , quando questa superi i $90^{\circ}C$. Più precisamente, con periodo di esattamente 60 cicli di clock, la rete ABC si comporta come segue:

1. Preleva un campione x dal sensore X.
2. Se $x \leq 90^{\circ}C$, attende senza fare altro il prossimo periodo di misurazione.
3. Se $x > 90^{\circ}C$, invece, preleva anche un campione y dal sensore Y.
4. Se la misura y è *esattamente* uguale a x invia un impulso di durata 1 clock tramite l'uscita out . Se le due misure sono invece diverse non viene mandato alcun segnale, a prescindere dai loro valori.

Per compiere quanto sopra, l'unità ABC si avvale di due reti combinatorie:

- SOGLIA_X, che determina se x supera la soglia di $90^{\circ}C$,
- CHECK_XY, che determina se y è uguale a x .

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Sintetizzare come moduli a parte le reti combinatorie SOGLIA_X e CHECK_XY. Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file `reti_standard.v`, fornite assieme a `testbench.v` al link: <https://tinyurl.com/37em35ee>

La documentazione Verilog in formato PDF è scaricabile al link: <https://tinyurl.com/2p8xwm4k>