

Esercizio 2: Verilog

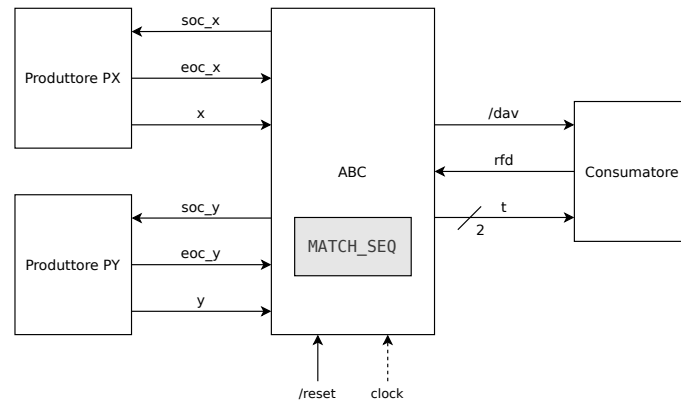


Figura 1: Schema del sistema

Il modulo ABC in Figura 1 è un riconoscitore di multiple sequenze di 4 bit. Riceve uno stream continuo di bit dai produttori, e alla ricezione di ciascun bit, controlla se gli ultimi 4 bit ricevuti corrispondono ad una delle sequenze riconosciute.

Le sequenze riconosciute (il bit più recente è quello meno significativo) sono:

- T_1 : 4'b0110
- T_2 : 4'b1100
- T_3 : 4'b0101

In Figura 2 è mostrato un esempio di stream di bit e le sequenze riconosciute.

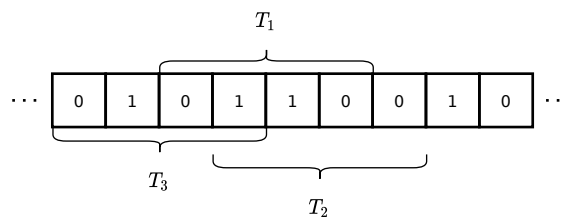


Figura 2: Esempio di stream di bit (da sinistra verso destra) e sequenze riconosciute.

Più in dettaglio, la rete si comporta ciclicamente come segue:

- Preleva due bit X e Y dai produttori PX e PY;
- Calcola il prossimo bit della sequenza: 0 se X e Y sono uguali, 1 altrimenti;
- Se gli ultimi 4 bit corrispondono a una sequenza riconosciuta di tipo T_i , comunica al consumatore il relativo i come numero naturale.

Internamente, il modulo ABC utilizza la rete combinatoria MATCH_SEQ, che prende in input i bit più recenti e determina se è presente una sequenza riconosciuta e, se presente, quale è il suo tipo.

Note:

- Non si faccia alcuna ipotesi sui tempi di risposta dei produttori o del consumatore.
- Al reset iniziale, si assuma che la sequenza corrente (prima del primo bit dai produttori) sia 4'b0000.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Sintetizzare come modulo a parte la rete combinatoria MATCH_SEQ. Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file `reti_standard.v`, fornite assieme a `testbench.v` al link: <https://tinyurl.com/s3fm3mfk>

Sarà oggetto di valutazione l'utilizzo opportuno di porte logiche elementari.

La documentazione Verilog in formato PDF è scaricabile al link: <https://tinyurl.com/k5rbam4w>