

Esercizio 2: Verilog

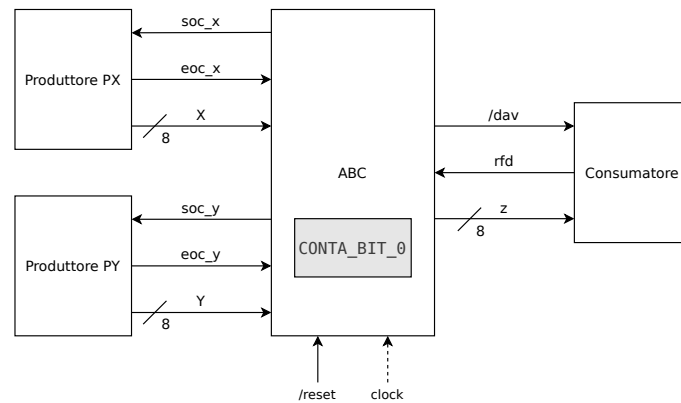


Figura 1: Schema del sistema

Il modulo ABC in Figura 1, ciclicamente

- Preleva due byte X e Y dai produttori PX e PY;
- Calcola s come conteggio del numero di posizioni per cui, sia in X che Y, il bit a tale posizione ha valore 0;
- Emette il risultato dell'elaborazione al consumatore.

Note:

- Non si faccia alcuna ipotesi sui tempi di risposta dei produttori o del consumatore.
- Le reti combinatorie `inc_en` fornite in questo esercizio hanno un tempo di attraversamento molto basso. Si assuma ragionevole l'utilizzo sequenziale di 16 `inc_en` all'interno di un singolo ciclo di clock.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima. Sintetizzare come modulo a parte la rete combinatoria `CONTA_BIT_0` utilizzata per il calcolo del risultato. Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file `reti_standard.v`, fornite assieme a `testbench.v` al link: <https://tinyurl.com/5n7vn8yn>

La documentazione Verilog in formato PDF è scaricabile al link: <https://tinyurl.com/k5rbam4w>