

## Esercizio 2: Verilog

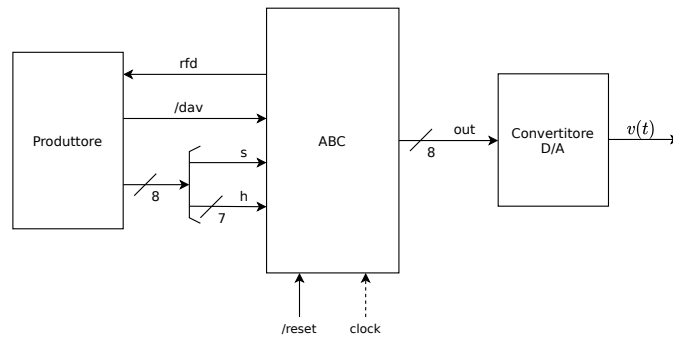


Figura 1: Schema del sistema

L'unità ABC, in Figura 1, è normalmente a riposo e invia al convertitore D/A un byte che il convertitore traduce in  $v(t) = 0$ .

Quando l'unità ABC riceve dal produttore una nuova coppia (segno  $s$ , altezza  $H$ ) gestisce la variabile di uscita  $out$  in modo da indurre il convertitore D/A a generare, tramite  $v(t)$ , un segnale triangolare di altezza  $k \cdot H$  (dove  $k$  è la costante caratteristica del convertitore) e di polarità positiva se  $s$  vale 0 e negativa se  $s$  vale 1, come mostrato in Figura 2.

Il convertitore D/A lavora in binario bipolare, ossia interpreta  $out$  come la rappresentazione in traslazione di un intero.

Note:

- $H$  è un numero naturale su 7 bit
- Si assuma che il produttore produce  $H$  sempre maggiori di 1

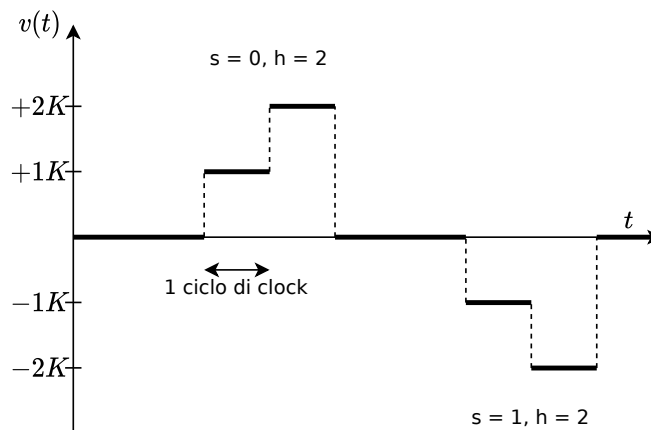


Figura 2: Segnali prodotti dal convertitore D/A