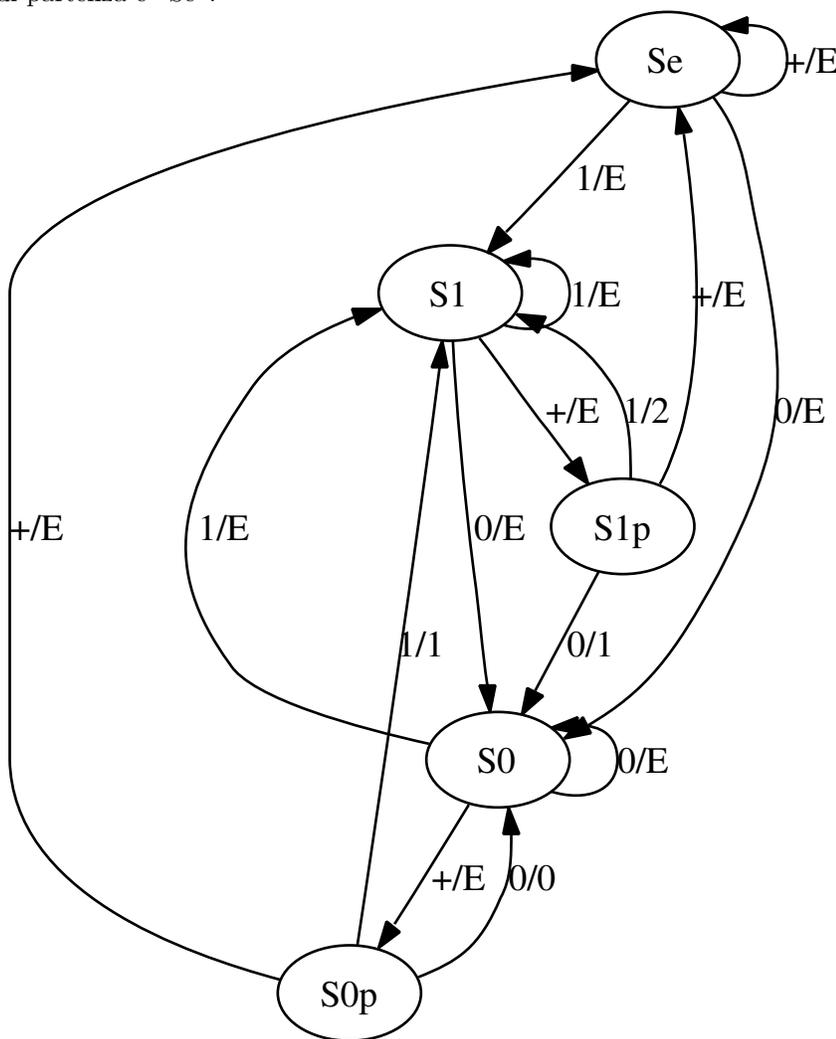


Soluzioni della Prova Scritta di Sistemi di Elaborazione Ingegneria delle Telecomunicazioni

Ing. G. Lettieri

22 Luglio 2005

1. Lo stato di partenza è "Se".



2. (a) Il registro `%eax` conterrà il valore -5.
 (b) Una possibile traduzione è la seguente:

```
f1:
    pushl %ebp
    movl %esp, %ebp
    movl 8(%ebp), %eax
    addl 12(%ebp), %eax
    leave
    ret
```

```
f2:
    pushl %ebp
    movl %esp, %ebp
    movl 8(%ebp), %eax
    subl 12(%ebp), %eax
    leave
    ret
```

3. `dir/aaa/aXa`
`dir/aaa/XXe`
`dir/XXX/adc`
`dir/ccc/acX`
 2

4. (a) Si vede facilmente che, in questo caso, l'algoritmo LRU causa una miss ad ogni accesso. Quindi, avremo 4000 miss.
 (b) Proviamo a simulare il comportamento della cache per alcuni passi:

byte	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3	0
miss	×	×	×	×		×	×		×	×		×	×	×	×		
cache		0	0,1	0,2	0,3	0,3	1,3	2,3	2,3	2,0	2,1	2,1	3,1	0,1	0,1	0,2	0,3

A questo punto, la situazione è uguale a quella ottenuta al passo 5, quindi il numero di miss sarà:

$$4 + 8 \times (999/3) = 2668$$