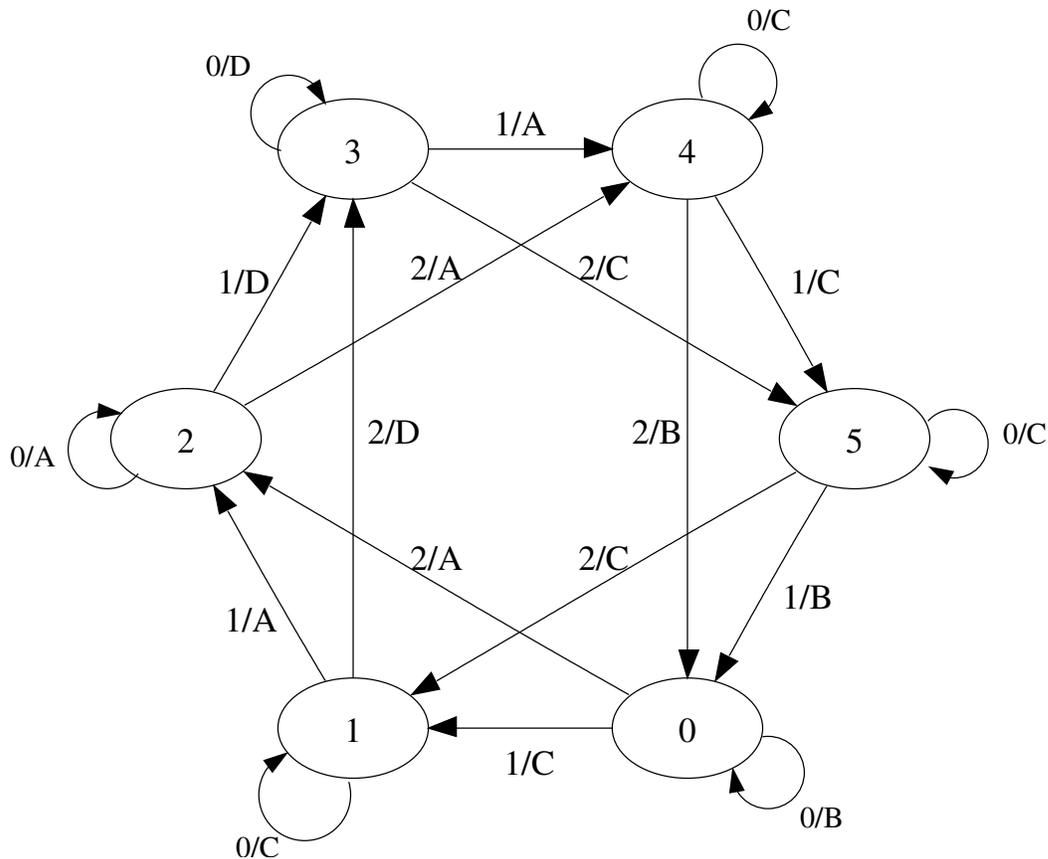


Soluzioni della Prova Scritta di Sistemi di Elaborazione Ingegneria delle Telecomunicazioni

Ing. G. Lettieri

10 Giugno 2005

1. Lo stato di partenza è lo "0".



2. (a) La locazione "m" conterrà la quantità $\sum_{i=0}^{99} v_1[i] \times v_2[i]$, cioè il prodotto scalare tra i vettori "v1" e "v2".

(b) Una possibile traduzione è la seguente:

```
f1:    pushl %ebp
      movl %esp, %ebp
      subl $8, %esp
      movl $0, -8(%ebp)
      movl $0, -4(%ebp)
for:   movl -4(%ebp), %eax
      cmpl 12(%ebp), $eax
      jl  corpo
```

```

        jmp fine
corpo:  movl -8(%ebp), %eax
        addl 8(%ebp), %eax
        movl %eax, -8(%ebp)
        incl -4(%ebp)
        jmp for
fine:   movl -8(%ebp), %eax
        leave
        ret

```

- 3.
- ```

1 -rw-r--r-- 1 utente1 gruppo1 0 Jun 10 13:00 1/f
2 lrwxrwxrwx 1 utente1 gruppo1 6 Jun 10 13:00 2/f -> ../1/f
3 -rw-r--r-- 1 utente1 gruppo1 0 Jun 10 13:00 3/f
4 lrwxrwxrwx 1 utente1 gruppo1 6 Jun 10 13:00 4/f -> ../3/f
5 -rw-r--r-- 1 utente1 gruppo1 0 Jun 10 13:00 5/f
6 lrwxrwxrwx 1 utente1 gruppo1 6 Jun 10 13:00 6/f -> ../5/f

```

4. (a) Proviamo a simulare il comportamento della cache per alcuni cicli:

|       |   |    |    |    |    |   |    |    |    |    |   |    |    |    |    |
|-------|---|----|----|----|----|---|----|----|----|----|---|----|----|----|----|
| byte  | 9 | 20 | 49 | 17 | 30 | 9 | 20 | 49 | 17 | 30 | 9 | 20 | 49 | 17 | 30 |
| linea | 1 | 2  | 6  | 2  | 3  | 1 | 2  | 6  | 2  | 3  | 1 | 2  | 6  | 2  | 3  |
| miss  | × | ×  | ×  | ×  | ×  |   |    | ×  | ×  |    |   |    | ×  | ×  |    |

Si vede come nel primo ciclo si ottengono 5 miss, mentre dal secondo in poi si ottengono 3 hit e 2 miss, dovute al conflitto tra le linee 2 e 6. Il tempo di esecuzione, quindi, sarà:

$$5 \times t_{miss} + 999 \times (3 \times t_{hit} + 2 \times t_{miss}) \approx 431 \mu s$$

- (b) Per valutare il tempo di esecuzione nel caso in cui venisse sostituita la DRAM, basta riapplicare la formula precedente, con  $t_{miss} = 100 ns$ , ottenendo un valore di circa  $230 \mu s$ . Nel caso in cui venisse sostituita la cache, è facile verificare che le linee a cui il programma accede non avrebbero più conflitti. In questo caso avremmo 4 miss nel primo ciclo, e solo hit dal secondo ciclo in poi. In questo caso, il tempo di esecuzione sarà:

$$4 \times t_{miss} + 999 \times 5 \times t_{hit} \approx 51 \mu s$$

È quindi evidente che, a parità di costo, conviene sostituire la cache, piuttosto che sostituire la DRAM.