Compitino di sistemi di elaborazione
29 maggio 2003

Esercizio 1 *Si progetti un sistema **PO-PC** di tipo Mo-Mo che esegua le seguenti operazioni nel minor numero di passi con una PO contenente al piu' un FA e un HA, come reti aritmetiche. Si considerino N e M numeri interi rappresentati in complemento a 2, $N > 0$.*

cop=0 *Si scriva in A la somma dei primi N numeri naturali*

cop=1 $9N\, div\, 2^M \to A$

Esercizio 2 *Definire lo schema della parte operativa dell'esercizio precedente.*

Esercizio 3 *Si consideri una matrice 15x10, avente elementi di 4 byte e memorizzata per righe a partire dall'indirizzo 100; quale e' il valore contenuto in EAX quando si esegue l'istruzione con etichetta "fine1" ?*

```
         MOVL EBX, $100       sub:    MOVL EAX, (ECX)
         MOVL ECX, $100       ciclo2: ADDL ECX, $4
         ADDL EBX, $600               CMPL EAX, (ECX)
         MOVL ESI, (ECX)              JLE avanti
ciclo1:  MOVB DL, $2                  MOVL EAX, (ECX)
         CALL sub             avanti: INCB DL
         CMPL ECX, EBX                CMPB DL, $11
         JL ciclo1                    JE fine2
         ADDL EAX, ESI                JMP ciclo2
fine1:   ...                  fine2:  RET
```

Esercizio 4 *Si consideri un bus operante alla frequenza f, dotato di n linee per il trasferimento dei dati, al quale é attaccato uno slave S avente un tempo di risposta T_r. Il master impiega un tempo T_{ad} a partire dal fronte di clock, per preparare gli indirizzi, e affinché i dati vengano memorizzati (durante un'operazione di lettura) correttamente é necessario che siano stabili da un tempo T_{ds}.*

Durante un'operazione di scrittura il master mantiene i dati e gli indirizzi stabili per un tempo pari a T_{hd}.

Se le grandezze numeriche sono le seguenti:

	$f = 50$ *MHz*	$n = 16$	
$T_{ad} \leq 8$ *ns*	$T_{ds} \geq 5$ *ns*	$T_r \leq 50$ *ns*	$T_{hd} = 100$ *ns*

rispondere alle seguenti domande:

4.1 *Se il protocollo usato é semisincrono, e l'operazione di lettura piú veloce possibile utilizza almeno 2 cicli di clock, quanti wait state $\mathcal{N}_{ws}$ é necessario introdurre per leggere da S?*

4.2 *Quanti cicli di clock $\mathcal{T}_w$ occupa invece un'operazione di scrittura?*

4.3 *Ipotizziamo che si vogliano leggere dei dati da S, elaborarli, e poi riscriverli nuovamente su S. Se si possono elaborare al massimo n bit alla volta, e l'elaborazione necessita di 5 cicli di clock, qual' é il tempo $\mathcal{T}_{op}$ necessario a compiere l'intera operazione (lettura + elaborazione + scrittura) su $N = 2 \cdot 10^3$ byte?*

$\mathcal{N}_{ws} =$	$\mathcal{T}_w =$	$\mathcal{T}_{op} =$

4.4 *Se voglio diminuire il numero di wait state nell'operazione di lettura posso:*

Aumentare la frequenza f	*SÍ*	*NO*
Scegliere uno slave con un T_{hd} minore	*SÍ*	*NO*
Scegliere uno slave con un T_r minore	*SÍ*	*NO*

Esercizio 5 *Sia dato un sistema con uno spazio di indirizzamento virtuale a 32 bit che opera con paginazione su domanda. Il sistema indirizza il byte e ha una dimensione della pagina virtuale $\mathcal{D}_{pvirt}$ pari a 4 Kbyte.*

5.1 *Se il campo page frame della tabella delle pagine occupa 12 bit, qual' é la dimensione $\mathcal{D}_{phys}$ della memoria fisica?*

$\boxed{\mathcal{D}_{phys} = \quad\quad\quad\quad}$

5.2 *Dato il seguente estratto della tabella delle pagine:*

Entry	***Ind. mem secondaria***	***Ind. Page Frame***	***P***
H FF732	*xxxxx*	*H 56F*	*1*
H FF41A	*xxxxx*	*H 989*	*1*
H 513A3	*xxxxx*	*H D1D*	*0*
H 513A2	*xxxxx*	*H 3FF*	*1*
H 6AC00	*xxxxx*	*H A99*	*0*
H 6ABFF	*xxxxx*	*H 379*	*1*
H 21B51	*xxxxx*	*H 3E1*	*1*
H 21B50	*xxxxx*	*H 3E1*	*0*

per ogni accesso ai seguenti indirizzi virtuali che non causa un page fault, scrivere il corrispondente indirizzo fisico.

Indirizzo Virtuale	***Page fault / Indirizzo fisico***
H FF73 25CD	
H 6ABF F732	
H 21B5 02B1	
H FF41 A262	