

## Esercizio 2: Verilog

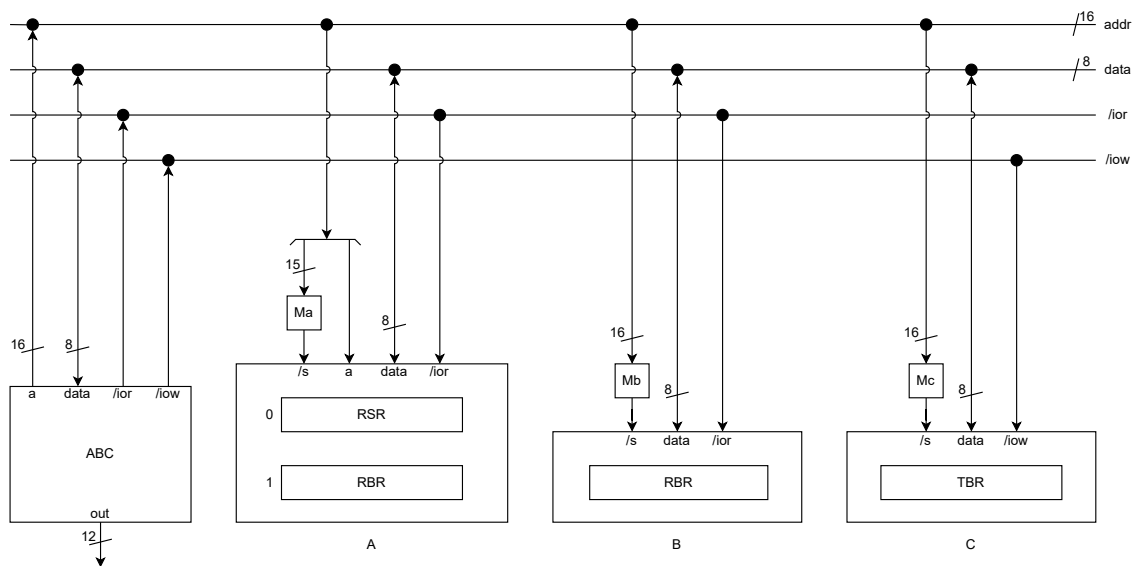


Figura 1: Schema del sistema

Il modulo ABC, come da schema in Figura 1, è connesso ad un bus sul quale sono montate, nello spazio di I/O,

- l'interfaccia parallela di ingresso con handshake A all'offset 0x0100
- l'interfaccia parallela di ingresso senza handshake B all'offset 0x0120
- l'interfaccia parallela di uscita senza handshake C all'offset 0x0140

Il modulo a regime compie ciclicamente le seguenti azioni:

- Legge un byte, interpretato come rappresentazione del numero naturale  $a$ , dall'interfaccia A
- Legge un byte, interpretato come rappresentazione del numero naturale  $b$ , dall'interfaccia B
- Calcola  $s = a + b$
- Aggiorna l'uscita out con il nuovo valore di  $s$

Note:

- ABC mantiene costante l'uscita out tra un ciclo e il successivo. Si utilizzi 0 come valore dell'uscita al reset iniziale.
- Nell'interfaccia A il registro RSR è montato all'indirizzo interno 0 e quello RBR all'indirizzo interno 1. Il flag FI è alla posizione 0 dell'opportuno registro.
- Si assuma che il ciclo di lettura dalle interfacce non richieda stati di wait.
- Si utilizzi, per il calcolo della somma, solo l'operatore Verilog +. Utilizzare un commento per indicare il numero di bit sufficiente per rappresentare il risultato.

Si utilizzino microsottoprogrammi per gli accessi alle interfacce, descrivendo tramite commenti il loro utilizzo (argomenti, valori di ritorno, etc.). L'utilizzo appropriato di microsottoprogrammi è oggetto di valutazione, secondo quanto parte del programma d'esame. Descrivere e sintetizzare, come circuito con parte operativa e parte controllo, il modulo ABC. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Per l'uso di microsottoprogrammi, si evidenzi con commenti nella sintesi le modifiche architettoniche necessarie per adottare tale modello.

Il file `testbench.v` è al link: <https://tinyurl.com/yjwj75en>

La documentazione Verilog in formato PDF è scaricabile al link: <https://tinyurl.com/k5rbam4w>