

Esercizio 2: Verilog

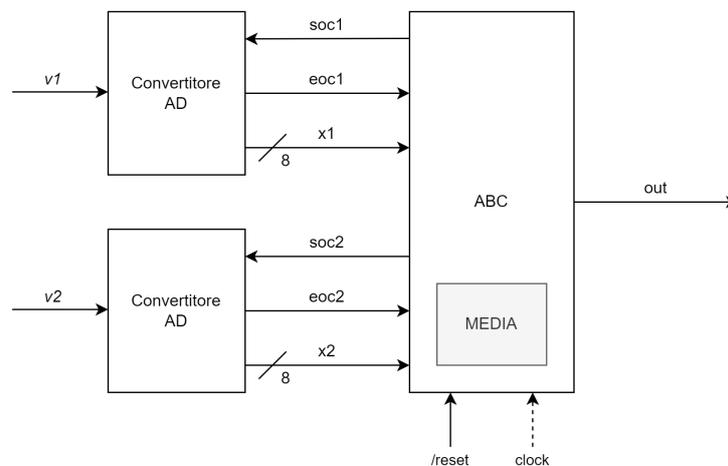


Figura 1: Schema del sistema

L'Unità ABC in fig. 1 preleva ciclicamente due campioni delle tensioni positive $v1, v2$ tramite due convertitori A/D unipolari, ne calcola il valore medio $m = \lfloor \frac{v1+v2}{2} \rfloor$, e tiene l'uscita out a 1 per m cicli di clock.

L'uscita out è altrimenti tenuta a 0. Nel caso in cui $m = 0$, out non viene messo a 1.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo.

Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima. Sintetizzare come modulo a parte la rete combinatoria MEDIA utilizzata per calcolare il valore m . Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file `reti_standard.v`.

I file `testbench.v` e `reti_standard.v` sono al link: <https://tinyurl.com/4au3dpau> Nota: non si faccia alcuna ipotesi sui tempi di risposta dei tre convertitori. La documentazione Verilog in formato PDF è scaricabile al link: <https://tinyurl.com/k5rbam4w>

Note sulla sintesi della rete combinatoria:

- Non sono sintesi di reti combinatorie, e non saranno quindi ritenute valide, descrizioni contenenti operatori aritmetici e/o di relazione predefiniti del Verilog, e.g. $+$, $-$, $*$, $/$, $<$, $>$ etc.
- Sono invece validi a questo scopo gli operatori di concatenamento, (dis)uguaglianza, assegnamenti a più vie, utilizzo di altre reti che o a) rispettano questi criteri o b) provengono da `reti_standard.v`
- È sufficiente che la rete combinatoria sia così sintetizzata in almeno uno dei file consegnati