

## Esercizio 2: Verilog

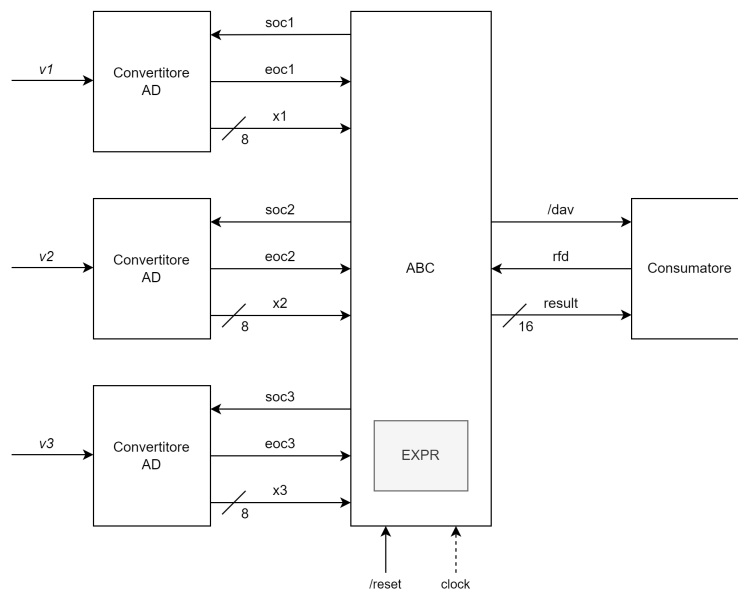


Figura 1: Schema del sistema

L'Unità ABC in fig. 1 preleva ciclicamente tre campioni delle tensioni positive  $v_1$ ,  $v_2$  e  $v_3$  tramite tre convertitori A/D unipolari e trasferisce al consumatore il valore  $z = 5 \cdot (v_1 + 3 \cdot v_2) + v_3$ .

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo.

Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima. Sintetizzare come modulo a parte la rete combinatoria EXPR utilizzata per calcolare il valore  $z$ . Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file `reti_standard.v`.

I file `testbench.v` e `reti_standard.v` sono al link: <https://tinyurl.com/ye26r2x7> Nota: non si faccia alcuna ipotesi sui tempi di risposta dei tre convertitori.

Note sulla sintesi della rete combinatoria:

- Non sono sintesi di reti combinatorie, e non saranno quindi ritenute valide, descrizioni contenenti operatori aritmetici e/o di relazione predefiniti del Verilog, e.g.  $+$ ,  $-$ ,  $*$ ,  $/$ ,  $<$ ,  $>$  etc.
- Sono invece validi a questo scopo gli operatori di concatenamento, (dis)uguaglianza, assegnamenti a più vie, utilizzo di altre reti che o a) rispettano questi criteri o b) provengono da `reti_standard.v`
- È sufficiente che la rete combinatoria sia così sintetizzata in almeno uno dei file consegnati