

Esercizio 2: Verilog

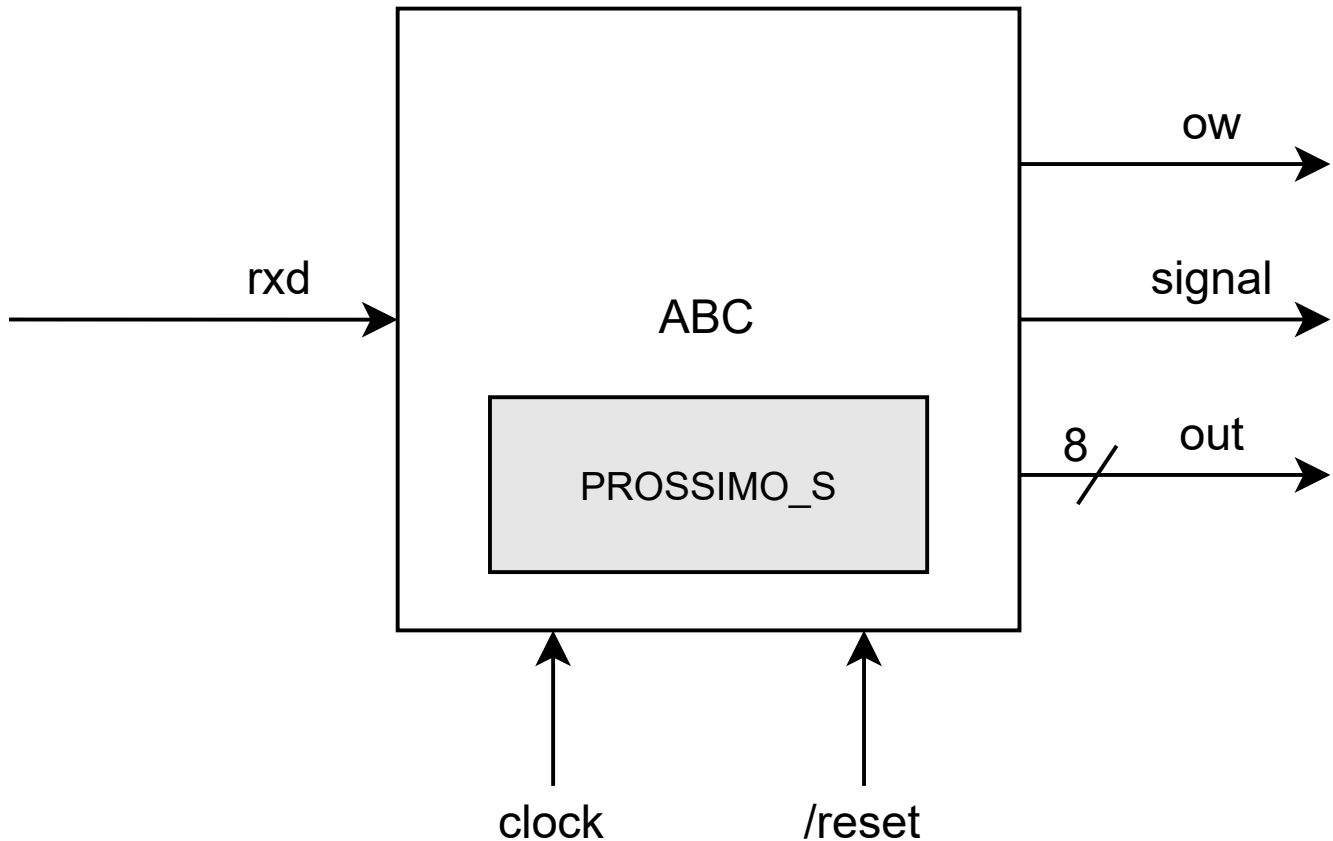


Figura 1: Schema del sistema

Il modulo ABC, come da schema in Figura 1, è un ricevitore seriale rispetto alla linea di ingresso rx.

Ciclicamente, si comporta come segue:

- riceve un byte dalla linea rxd, come da specifica nella successiva sezione
- interpretando il byte come numero intero x_n in completamento alla radice, calcola la differenza fra questo e il precedente x_{n-1} , ossia $s_n = x_n - x_{n-1}$. Come condizione iniziale, si assuma $x_0 = 0$.

- se s_n è rappresentabile su 8 bit, setta e mantiene, fino alla prossima ricezione, l'uscita out a tale valore; segnala la disponibilità di un nuovo valore tenendo signal a 1 per 1 ciclo di clock.
- se s_n non è rappresentabile su 8 bit, lo segnala tenendo ow a 1 per 1 ciclo di clock, dopodiché ripristina le condizioni iniziali.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo.

Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Sintetizzare come modulo a parte la rete combinatoria PROSSIMO_S utilizzata per calcolare s_n a partire da x_{n-1} e x_n . Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file reti_standard.v.

I file testbench.v e reti_standard.v sono al link: <https://tinyurl.com/2s3w9f95>

Modalità di trasmissione

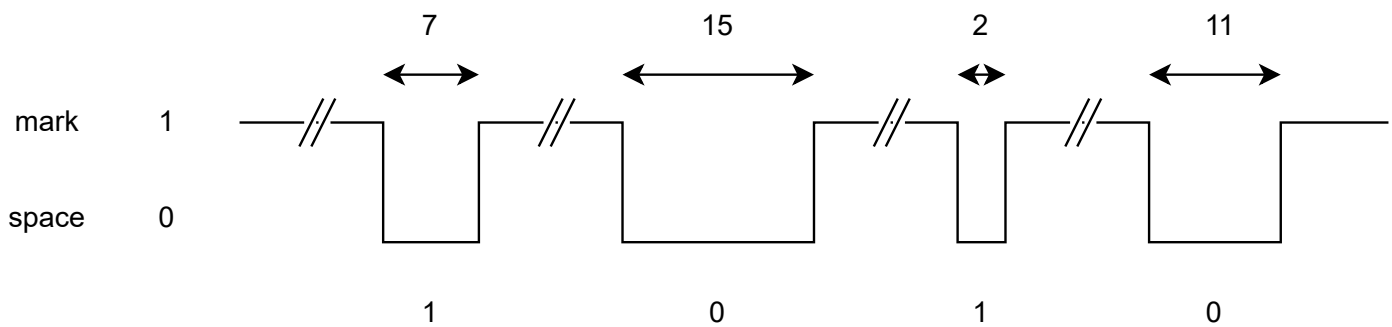


Figura 2: Modalità di trasmissione dei bit

La modalità di trasmissione dei bit nella linea rxd è illustrata in Figura 2, ed è completamente diversa da quanto visto a lezione.

- In assenza di trasmissione, e tra la trasmissione di un bit e il successivo, la linea rxd è mantenuta alla condizione *mark* (si assuma per 20 o più periodi di clock).

- Un bit 0 è trasmesso tenendo la linea rxd alla condizione *space* per un minimo di 2 e massimo di 7 periodi del clock.
- Un bit 1 è trasmesso tenendo la linea rxd alla condizione *space* per un minimo di 11 e massimo di 15 periodi del clock.
- Ciascun byte è trasmesso a partire dal bit meno significativo.

Note sulla sintesi della rete combinatoria

- Non sono sintesi di reti combinatorie, e non saranno quindi ritenute valide, descrizioni contenenti operatori aritmetici e/o di relazione predefiniti del Verilog, e.g. +, -, *, /, %, <, > etc.
- Sono invece validi a questo scopo gli operatori di concatenamento, (dis)uguaglianza, assegnamenti a più vie, utilizzo di altre reti che o a) rispettano questi criteri o b) provengono da reti_standard.v .
- È sufficiente che la rete combinatoria sia così *sintetizzata* in almeno uno dei file consegnati.