

Esercizio 2: Verilog

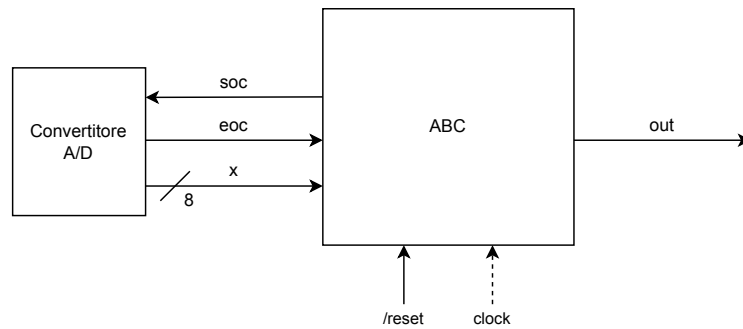


Figura 1: Schema del sistema

L'Unità ABC, in Figura 1 si comporta ciclicamente come segue:

1. Preleva 3 campioni consecutivi dal produttore, un convertitore A/D che lavora in binario unipolare;
2. Ne calcola la somma, ossia $s = x_2 + x_1 + x_0$;
3. Mette out a 1 per un clock se $s \geq 164$;
4. Torna al punto 1.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Si utilizzino, ove ritenuto opportuno, microsottoprogrammi, evidenziando nella sintesi le modifiche necessarie per adottare tale modello. L'utilizzo appropriato di microsottoprogrammi è oggetto di valutazione, secondo quanto parte del programma d'esame.

Il file testbench.v è al link: <https://tinyurl.com/y4wyvck3>