

## Esercizio 2: Verilog

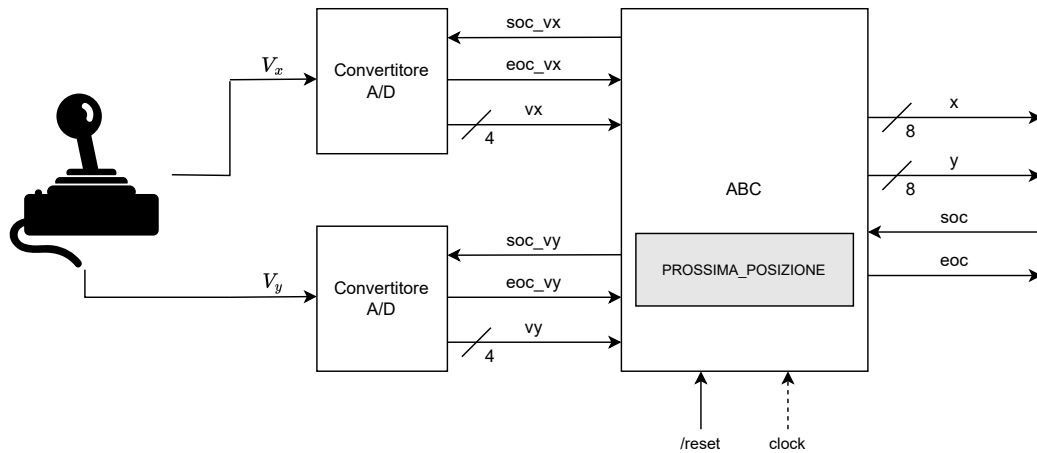


Figura 1: Schema del sistema

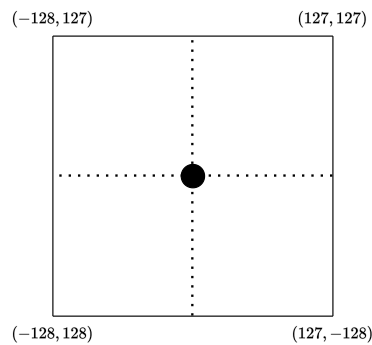


Figura 2: Piano cartesiano, con il punto posizionato in (0,0).

Il sistema in Figura 1 contiene un joystick, utilizzato da un utente per guidare un punto nel piano cartesiano in Figura 2. In base alla posizione del joystick, i sensori connessi forniscono il vettore spostamento del punto composto da  $vx$  e  $vy$ , numeri interi in complemento alla radice su 4 bit.

L'Unità ABC, su richiesta del consumatore, campiona il vettore spostamento dal joystick, aggiorna la posizione del punto, e ne emette le coordinate aggiornate.

Qualora uno spostamento portasse una coordinata del punto al di fuori dell'intervallo  $[-128, 127[$ , tale coordinata non verrebbe aggiornata. Per esempio: sia il punto in  $(126, 5)$  e sia il vettore spostamento  $vx = 3$ ,  $vy = -2$ , allora la posizione aggiornata del punto sarà  $(126, 3)$ .

Al reset iniziale, il punto è posizionato in  $(0, 0)$ .

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo.

Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Sintetizzare come modulo a parte la rete combinatoria PROSSIMA\_POSIZIONE utilizzata per calcolare le coordinate aggiornate del punto a partire dalle coordinate correnti e il vettore spostamento. Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file `reti_standard.v`.

Note sulla sintesi della rete combinatoria:

- Non sono sintesi di reti combinatorie, e non saranno quindi ritenute valide, descrizioni contenenti operatori aritmetici e/o di relazione predefiniti del Verilog, e.g.  $+$ ,  $-$ ,  $*$ ,  $/$ ,  $\%$ ,  $<$ ,  $>$  etc.
- Sono invece validi a questo scopo gli operatori di concatenamento, (dis)uguaglianza, assegnamenti a più vie, utilizzo di altre reti che o a) rispettano questi criteri o b) provengono da `reti_standard.v`.
- È sufficiente che la rete combinatoria sia così *sintetizzata* in almeno uno dei file consegnati.

I file `testbench.v` e `reti_standard.v` sono al link: <https://tinyurl.com/y3kcuacr>