

Esercizio 2: Verilog

La *media mobile esponenziale* è una metrica per lo studio di una serie storica di dati che da valore statistico diverso a ciascun dato in base a quanto sia recente. Sia x_0, \dots, x_n la serie di dati storici, e $\alpha \in (0, 1)$ un parametro, si può allora esprimere la media esponenziale m con la seguente espressione iterativa:

$$m_0 = x_0$$
$$m_{i+1} = (1 - \alpha) \cdot m_i + \alpha \cdot x_{i+1}$$

Nel nostro caso, sia $\alpha = \frac{1}{4}$ e si utilizzi l'approssimazione verso il basso per ciascuno dei due termini, ossia

$$m_{i+1} = \left\lfloor \frac{3}{4} \cdot m_i \right\rfloor + \left\lfloor \frac{1}{4} \cdot x_{i+1} \right\rfloor. \quad (1)$$

L'Unità ABC in Figura 1 campiona continuamente l'output di un convertitore A/D, che opera in binario unipolare, e ne calcola iterativamente la media esponenziale m usando (1), che emette continuamente tramite l'uscita m . Ogni volta che viene calcolato un nuovo valore per m , a partire da m_1 , segnala ciò mettendo l'uscita z a 1 per esattamente 1 ciclo di clock. La rete parte, al reset iniziale, come se avesse campionato x_0 corrispondente a 0 V. Il primo campione prelevato dal convertitore sarà dunque x_1 .

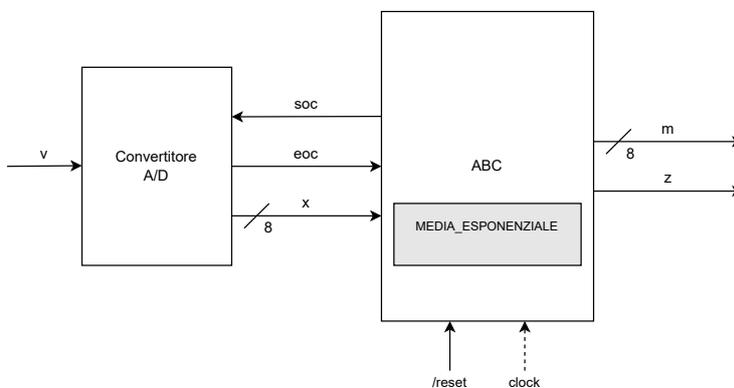


Figura 1: Schema del sistema

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo.

Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Sintetizzare come modulo a parte la rete combinatoria MEDIA_ESPONENZIALE utilizzata per calcolare m_{i+1} a partire da m_i e x_{i+1} . Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file `reti_standard.v`.

Note sulla sintesi della rete combinatoria:

- Non sono sintesi di reti combinatorie, e non saranno quindi ritenute valide, descrizioni contenenti operatori aritmetici e/o di relazione predefiniti del Verilog, e.g. $+$, $-$, $*$, $/$, $\%$, $<$, $>$ etc.
- Sono invece validi a questo scopo gli operatori di concatenamento, (dis)uguaglianza, assegnamenti a più vie, utilizzo di altre reti che o a) rispettano questi criteri o b) provengono da `reti_standard.v`.
- È sufficiente che la rete combinatoria sia così *sintetizzata* in almeno uno dei file consegnati.

I file `testbench.v` e `reti_standard.v` sono al link: <https://tinyurl.com/4rwhsphr>