

C'è una sola risposta corretta per ogni domanda  
Usare lo spazio bianco sul retro del foglio per appunti, se serve

1) Ho un modulo divisore per interi in base 10 in complemento alla radice, con dividendo  $X$  a 3 cifre, divisore  $Y$  a 2 cifre. Quali delle seguenti divisioni sono sempre fattibili?

- a)  $x \in [-500; +499], y \in [-50; +49]$
- b)  $x \in [+100; +200], y \in [-40; -20]$
- c)  $x \in [-200; -100], y \in [+40; +49]$
- d) Nessuna delle precedenti

2) Per costruire un decoder 4-to-16 usando decoder con enabler 2-to-4 ne servono

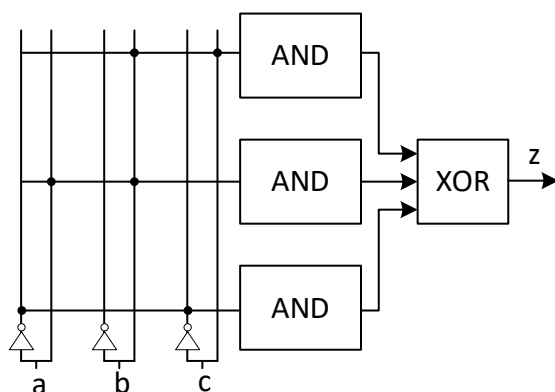
- a) 3
- b) 5
- c) 17
- d) Nessuna delle precedenti

3) Sia dato un sottrattore a una cifra per numeri in base dieci codificati BCD, che sottrae  $Y$  da  $X$ . Se lo stato di ingresso è:  $b_{in} = 0, X = 0000, Y = 0001$ , lo stato di uscita sarà:

- a)  $b_{out} = 1, D = 1111, O_w = 1$
- b)  $b_{out} = 1, D = 1001, O_w = 0$
- c)  $b_{out} = 0, D = 1001, O_w = 1$
- d) Nessuna delle precedenti

4) Per sintetizzare una rete che ha in ingresso  $n$  cifre in base  $\beta, a_0, \dots, a_{n-1}$ , ed in uscita il naturale  $X = \sum_{i=0}^{n-1} a_i \cdot \beta^i$

- a) Sono indispensabili sia moltiplicatori che sommatore
- b) Sono indispensabili dei sommatore
- c) Sono indispensabili dei moltiplicatori
- d) Nessuna delle precedenti



5) La rete disegnata di sopra riconosce un numero di stati di ingresso pari a:

- a) 6
- b) 4
- c) 3
- d) Nessuna delle precedenti

$$T \geq T_{hold} + T_{a-monte} + T_{RC} + T_{a-valle}$$

6) La disuguaglianza di sopra vincola la durata del clock in una rete sequenziale sincronizzata di

- a) Moore
- b) Mealy
- c) Mealy ritardato
- d) Nessuna delle precedenti

7) Se organizzo una descrizione per sottoliste tramite il registro MJR, ho le seguenti limitazioni:

- a) Posso definire una sola sottolista
- b) Posso usare un solo livello di annidamento di sottoliste
- c) Mi servono due stati distinti per chiamare una sottolista: uno per assegnare MJR, uno per saltare
- d) Nessuna delle precedenti

```
reg [3:0] WAIT;
[...]
```

```
S0: begin WAIT<=10; [...] end
S1: begin WAIT<=WAIT-1; [...] end
S2: begin WAIT<=WAIT-1; [...] end
S3: begin [...]; end
S4: begin [...]; end
```

8) Nel frammento di descrizione soprastante sono riportati tutti gli stati interni di una RSS e, per ciascuno, le sole microoperazioni riguardanti il registro WAIT. In una sintesi PO/PC, il numero di variabili di comando necessarie per il registro WAIT sarà.

- a) 1
- b) 2
- c) 3
- d) Nessuna delle precedenti

9) Nel processore visto a lezione il registro IP viene aggiornato

- a) in fase di fetch e talvolta in fase di esecuzione
- b) soltanto in fase di fetch
- c) soltanto in fase di esecuzione
- d) nessuna delle precedenti

```
CMP %EAX, %EBX
JG dopo
```

10) Il codice scritto sopra salta all'etichetta *dopo* se:

- a)  $EBX < EAX$ , interpretando gli operandi come naturali
- b)  $EAX < EBX$ , interpretando gli operandi come naturali
- c)  $EBX < EAX$ , interpretando gli operandi come interi
- d)  $EAX < EBX$ , interpretando gli operandi come interi

Domande di Reti Logiche – compito del 10/01/2023

Cognome e nome: \_\_\_\_\_

Matricola: \_\_\_\_\_

Link al form Google per le risposte:

<https://forms.gle/VFeojvR6XVEehuCSA>

<https://bit.ly/3hCdhAP>