

## Esercizio 2: Verilog

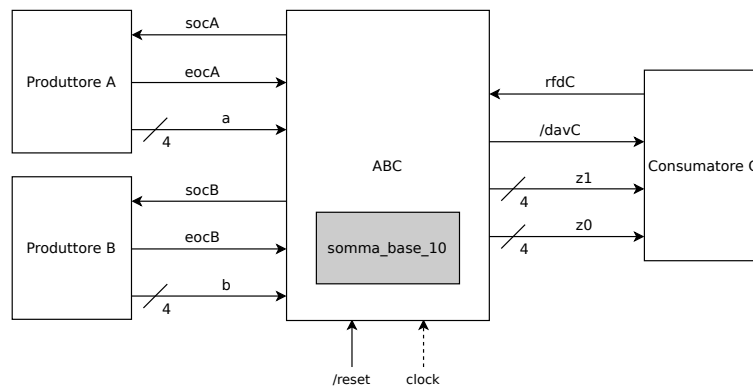


Figura 1: Schema del sistema

L'unità ABC, in Figura 1, si comporta ciclicamente come segue:

1. Preleva dai produttori A e B due variabili a e b a 4 bit, tramite handshake soc-eoc;
  2. Interpreta a e b come cifre BCD in base 10, e calcola la loro somma su due cifre BCD in base 10;
  3. Invia il risultato, come z1 (MSD) e z0 (LSD), al consumatore c tramite handshake /dav-rfd.
- Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo.  
Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.
  - Sintetizzare come modulo a parte la rete combinatoria `somma_base_10` utilizzata per il calcolo del risultato. Se lo si ritiene, si utilizzino le reti combinatorie fornite in `reti_standard.v`.

Non si faccia nessuna ipotesi sulla velocità dei produttori e del consumatore.

Note sulla sintesi della rete combinatoria:

- Non sono sintesi di reti combinatorie, e non saranno quindi ritenute valide, descrizioni contenenti operatori aritmetici e/o di relazione predefiniti del Verilog, e.g. `+`, `-`, `*`, `/`, `%`, `<`, `>` etc.
- Sono invece validi a questo scopo gli operatori di concatenamento, (dis)uguaglianza, assegnamenti a più vie, utilizzo di altre reti che o a) rispettano questi criteri o b) provengono da `reti_standard.v`
- È sufficiente che la rete combinatoria sia così *sintetizzata* in almeno uno dei file consegnati