

Esercizio 2: Verilog

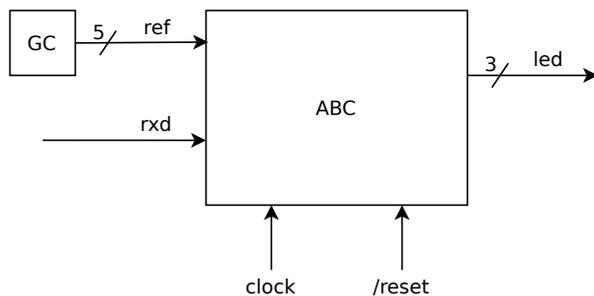


Figura 1: Schema del sistema

Il modulo ABC, come da schema in Figura 1, è un ricevitore seriale rispetto alla linea di ingresso rxd. Ciclicamente, si comporta come segue:

- riceve un byte dalla linea rxd, come da specifica nella successiva sezione
- confronta i 5 bit più significativi con l'ingresso ref prodotto dal generatore di costante GC
- se i due valori coincidono, i restanti 3 bit del byte ricevuto sono emessi tramite l'uscita led. Altrimenti, led mantiene il valore precedente.

Note:

- Si utilizzi 3'B000 come primo valore di led.
- Si assuma che sulla linea rxd non possano esservi errori di alcun genere.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo.

Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Modalità di trasmissione

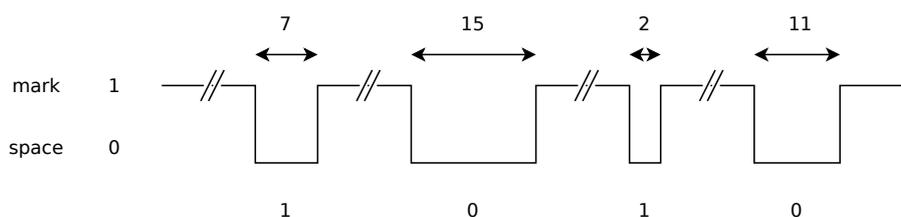


Figura 2: Modalità di trasmissione dei bit

La modalità di trasmissione dei bit nella linea rxd è illustrata in Figura 2, ed è completamente diversa da quanto visto a lezione.

- In assenza di trasmissione, e tra la trasmissione di un bit e il successivo, la linea rxd è mantenuta alla condizione *mark* (si assuma per 20 o più periodi di clock).
- Un bit 1 è trasmesso tenendo la linea rxd alla condizione *space* per un minimo di 2 e massimo di 7 periodi del clock.
- Un bit 0 è trasmesso tenendo la linea rxd alla condizione *space* per un minimo di 11 e massimo di 15 periodi del clock.
- Ciascun byte è trasmesso a partire dal bit meno significativo