

Esercizio 2: Verilog

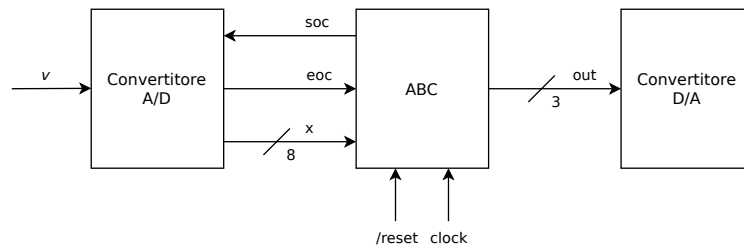


Figura 1: Schema del sistema

L'Unità ABC che ogni 20 cicli di clock compie le seguenti operazioni:

1. Preleva dal Convertitore A/D la rappresentazione x di un nuovo campione della tensione v
2. Esamina x calcolando il numero di coppie di bit 00 *non interallacciate* che esso contiene.
3. Invia il risultato della elaborazione al Convertitore D/A

Due coppie di bit si dicono *non interallacciate* se non condividono alcun bit tra di loro. Alcuni esempi:

- 10000111 \rightarrow 2 coppie 00 non interallacciate
- 10001111 \rightarrow 1 coppia 00 non interallacciata
- 10001001 \rightarrow 2 coppie 00 non interallacciate

Si supponga che:

1. I Convertitori lavorano in binario unipolare
2. 20 cicli di clock rappresentano un tempo talmente lungo da non provocare alcun problema di nessun tipo
3. Nessun vincolo è dato su ciò che ABC invia al Convertitore D/A al reset iniziale

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo.

Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.