

Esercizio 2: Verilog

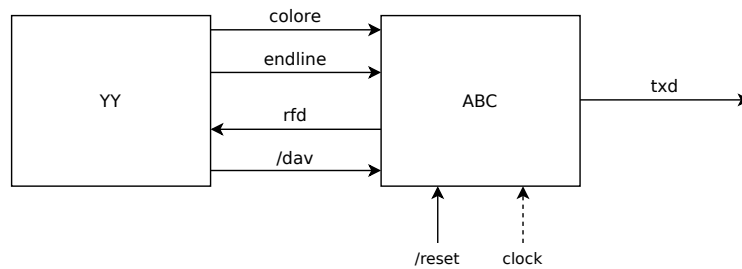


Figura 1: Schema del sistema

La rete ABC in fig. 1 preleva, tramite handshake con la rete YY, gli ingressi *colore* e *endline*, ciascuno a 1 bit. L'ingresso *colore* trasporta l'informazione relativa al colore di pixel successivi di un'immagine, e può essere *bianco* (0) o *nero* (1). L'ingresso *endline* dà un comando di fine riga, ed è normalmente a 0.

La rete ABC, ciclicamente, preleva ingressi da YY per costruire un byte da inviare tramite la linea seriale *txd*. I byte trasmessi sono di due tipi:

- Byte di colore, inviati quando l'ingresso *colore* è diverso da quello precedentemente ricevuto.
- Byte di fine riga, inviati quando si riceve un comando di *endline*

In particolare, ad ogni prelievo da YY, la rete ABC si comporta come segue:

- Se *endline* vale 0, costruisce il byte {N,B} dove N, su 7 bit, è il numero consecutivo di pixel di colore B.
- Se *endline* vale 1, butta l'eventuale porzione di byte costruita e trasmette il byte 8'H00, ricominciando poi una nuova sequenza del colore che si trova in quel momento in *colore*.

I byte vengono trasmessi sulla linea seriale *txd* secondo il protocollo seriale visto a lezione, con un tempo di bit T pari al periodo di clock.

Note:

- Si supponga che una sequenza di pixel dello stesso colore non sia mai più lunga di 127
- Durante la trasmissione di un byte, la rete ABC non fa avanzare l'handshake con YY
- Si assuma che al reset ABC si aspetti un pixel di colore *nero*
- Sia al reset che dopo un byte di *endline*, il conteggio dei pixel consecutivi dovrà partire da 0

Descrivere e sintetizzare la rete ABC.