

Figura 1: Schema del sistema

INT\_A è una interfaccia parallela con handshake in ricezione e non in trasmissione, montata agli indirizzi 0xAAA0-0xAAA3, come in Figura 1. La rete ABC utilizza ciclicamente l'interfaccia INT\_A nel seguente modo:

- Attende che l'interfaccia abbia ricevuto un valore dal dispositivo a cui è connesso, e lo legge
- Applica la dovuta trasformazione, descritta sotto
- Invia all'interfaccia il valore trasformato

I valori prelevati dall'interfaccia INT\_A sono numeri interi rappresentati come segno e due cifre in base 6, come in Figura 2. La trasformazione richiesta è la conversione di tale rappresentazione in complemento a due, su 8 bit.

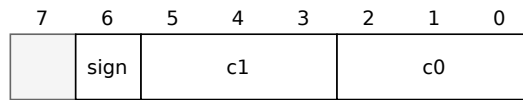


Figura 2: Rappresentazione valori in ricezione

1. Descrivere e sintetizzare, in Verilog, la rete ABC sopra descritta.
2. Sintetizzare come module a parte la rete combinatoria CONV utilizzata per la trasformazione, Se lo si ritiene, utilizzare le reti combinatorie fornite in reti\_standard.v per i calcoli aritmetici.
3. Descrivere come module a parte, inoltre, la rete combinatoria MASK che genera l'input /s dell'interfaccia INT\_A.

Note:

- Si consideri FI alla posizione 0 dell'opportuno registro
- Si assuma che l'interfaccia sia in grado di rispondere ai comandi entro il prossimo clock (non sono necessari stati di wait)
- Si faccia caso alla numerazione interna dei registri dell'interfaccia, che non è consecutiva
- La rete ABC dovrà terminare il ciclo di ricezione-trasmissione di un valore prima di passare al successivo