



Una EPROM 256x4bit contiene 64 segnali, in gruppi di 4 celle consecutive. Le prime due celle di ogni gruppo contengono due cifre *in base 10*, che formano il numero naturale V_i . Le successive due celle contengono due cifre *in base 10*, che formano il numero naturale T_i .

La rete sequenziale sincronizzata ABC si comporta, ciclicamente, nel seguente modo:

- preleva dalla EPROM un segnale, a partire da quello che si trova a partire dall'indirizzo zero,
- mette sulla propria uscita out il segnale V_i , tenendolo per un tempo T_i dopodiché lo cambia *immediatamente* con il successivo segnale che ha già prelevato dalla EPROM nel frattempo.

Si assuma che

- La cifra più significativa dei valori V_i e T_i si trova all'indirizzo più alto
- La cifra più significativa di T_i vale almeno 1
- Al reset la rete metta out a 0 e lo tenga per un tempo pari a 99 cicli
- La EPROM sia sufficientemente veloce da non richiedere stati di wait
- Quando la EPROM è stata letta tutta, la rete ABC riparte daccapo

Descrivere e sintetizzare, in Verilog, la rete ABC.

Sintetizzare separatamente la rete combinatoria CONV che svolge le conversioni, utilizzando le reti combinatorie fornite in reti_standard.v per i calcoli aritmetici.

Quando si affronta la sintesi con scomposizione PO/PC, scrivere come commento alla PC la ROM con la quale si implementerebbe una PC basata sui microindirizzi.