

Regole per la stesura del progettino.

Il progetto deve essere consegnato in formato esclusivamente elettronico mediante: (1) trasferimento diretto da chiave USB o CD/DVD (previa richiesta di appuntamento) oppure (2) invio tramite attachment e-mail. Il materiale consegnato dovrà contenere due oggetti:

- 1) Una versione compressa (.zip o .rar) della cartella di lavoro, contenente:
 -) il file SEDIT (.sdb) con lo le viste schematic e symbol
 -) il file LEDIT (.tdb) con il layout,
 -) le reti estratte dalla vista schematic e layout, utilizzate per l'LVS.
- 2) Una relazione in formato pdf che a sua volta dovrà comprendere:
 -) Breve descrizione del circuito e dei criteri utilizzati per il suo dimensionamento (max 3 pagine)
 -) Stampa dello schema elettrico così come appare su SEDIT.
 -) Risultati delle simulazioni richieste. (grafici)
 -) Stampa del Layout così come appare su LEDIT
 -) Report dell'operazione di LVS.

Le figure della relazione dovranno essere accompagnate da brevi didascalie che ne commentino il contenuto e, nel caso di risultati di simulazioni, consentano di capire a che test si riferiscono e in quali condizioni sono state effettuate.

NOTE RIGUARDO ALL'USO DEI TANNER TOOLS

Assieme ai tool veri e propri, verrà fornita una cartella denominata "micro2", contenente i file necessari per la configurazione dei tool stessi. Questa cartella ha la funzione del design-kit.

Come prima operazione occorre creare sul proprio hard-disk una copia della cartella "micro2". Questa cartella sarà la cartella di lavoro.

S-Edit

Eseguire il programma sedit dal menù avvio di windows (si trova sotto la voce Tspice). Se è la prima sessione del progetto occorre caricare il file "inizio.sdb" Nel file "inizio.sdb" sono presenti i moduli PMOS e NMOS che rappresentano i transistori CMOS da utilizzare per il progettino. Tutti gli altri dispositivi non devono essere utilizzati, a parte i generatori, resistori e condensatori (componenti ideali) da usare solo per la simulazione. Prima di iniziare a lavorare conviene salvare il file appena caricato sulla propria directory sul disco locale (con il nome prescelto per il proprio progetto). Quindi occorre creare un nuovo modulo (in "schematic mode") e cominciare ad inserire componenti (PMOS e NMOS) con il comando ISTANCE. Nelle sessioni seguenti la prima non occorre più caricare "inizio.sdb" ma basta caricare il proprio file in quanto questo eredita tutti i moduli di "inizio.tdb". Come per il programma L-edit, anche S-edit è stato pensato per un mouse a tre tasti. Se il tasto centrale risulta scomodo (per la presenza della rotella di scorrimento), si può modificare le operazioni eseguibili con i tasti destro e sinistro tenendo premuto il tasto "Alt".

Quando si crea o si edita un nuovo modulo occorre trovarsi in “schematic mode” (scegliere la modalità nel menù “view”). Per inserire componenti utilizzare il comando “instance” (da tastiera tasto “i”). Per connettere i terminali usare il comando “wire” (cercare la voce corretta nella barra degli strumenti a sinistra, facendo attenzione a non scegliere erroneamente i comandi denominati “line” che hanno uso solo estetico e vanno usati per la vista symbol (vedi più avanti).

A causa di un probabile errore nel software, il posizionamento dei pin di ingresso e uscita deve essere effettuato senza poi spostarli, altrimenti si rischia di incorrere in una segnalazione di errore con conseguente arresto della sessione di lavoro. Se si deve spostare un pin è preferibile cancellarlo e re-inserirlo nella nuova posizione. In ogni caso si consiglia di salvare spesso il proprio lavoro.

Una volta completato il progetto occorre estrarre la netlist per simularla. Il comando che consente di effettuare tale operazione è “export”, specificando il formato SPICE per il file di uscita.

Per quanto sia possibile simulare la rete direttamente dallo schematic editor, si consiglia di estrarre la netlist con il comando export e poi aggiungere i generatori di alimentazione e di segnale e i comandi per specificare l’analisi da effettuare. Quindi si apre la rete dall’interno di T-Spice.

Per creare una vista symbol, è sufficiente selezionare “symbol mode” dal menù “view”. Si procede quindi disegnando una rappresentazione grafica della cella (per es. un rettangolo, o un triangolo per gli amplificatori) ed inserendo sui lati della rappresentazione i pin di interconnessione. Questi ultimi dovranno avere la stessa denominazione e lo stesso tipo (es. “input”) di quelli introdotti nella corrispondente vista schematic. Per verificare la correttezza di questa operazione, si utilizzi il comando “port test”, dal menù “symbol”.

T-Spice

Prima di attivare la simulazione assicurarsi che il file .lib (ecpd10t.lib) contenenti le model dei dispositivi MOS sia presente nella directory di lavoro. Introdurre nelle netlist il comando .lib <file di libreria>. Eseguire TSPICE dalla voce del menù avvio di windows. A questo punto si può caricare la netlist (file->open...) e simularla. (simulate-> start simulation). In genere se è presente un comando di stampa (.print) di un’analisi che prevede un grafico (DC, AC, TRAN..) viene eseguito automaticamente anche il visualizzatore (WinWed32.exe). Alternativamente si può attivare manualmente il visualizzatore e richiamare i risultati delle simulazioni (file di tipo .out).

L-Edit

Eseguire il programma Ledit dal menù di avvio di windows. Se è la prima sessione di lavoro e quindi non si ha ancora un proprio file si apra il file “inizio.tdb” e lo si salvi subito con il nome del proprio progetto. In questo modo, il nuovo file creato eredita tutto l’ambiente tecnologico (regole di layout, layers...) del file “inizio.tdb”. Successivamente si potrà quindi aprire solo il proprio file.

Durante il disegno si consiglia di eseguire spesso il DRC (controllo regole di layout) in quanto vengono così segnalati pochi errori per volta ed è più agevole correggerli senza stravolgere il layout.

Prima di eseguire l’estrazione della netlist, occorre assegnate ai terminali di in-out e alimentazione opportune etichette. Per fare ciò si devono introdurre degli oggetti denominati “port” selezionando l’opportuno comando nella barra degli strumenti (è identificato da una lettera “A”). Affinché tale assegnazione sia effettiva, occorre selezionare un layer (nella palette dei layer) uguale a quello su cui si vuole fissare la port. Se per esempio vogliamo assegnare una port “Vdd” a una striscia di metal 1 che porta l’alimentazione, si seleziona il comando port, poi il layer metal 1 e infine si disegna una linea o

un box in contatto con con la striscia di metal in questione. Una finestra di dialogo chiede quindi di assegnare un nome alla port. Scegliere una dimensione del carattere che si possa leggere quando tutto il layout è visualizzato.

Il risultato delle assegnazione delle port è non solo un miglioramento della interpretabilità del layout ma soprattutto il fatto che nella rete SPICE estratta verrà inserita come commento una corrispondenza tra i nomi delle port e i nodi assegnati ai punti dove le port sono introdotto. Nell'esempio fatto, se l'estrattore associa alla striscia di metal di alimentazione un nodo con un numero, diciamo 43, verrà inserito un commento nella netlist che dice che il nodo 43 si chiama Vdd. L'identificazione dei nodi di uscita e, durante la successiva fase di LVS, permette di rintracciare più facilmente i nodi coinvolti nelle segnalazioni di errore.

Per estrarre la rete SPICE si acceda al comando extract e si carichi l' "Extract definition file" **inizio.ext**. Quindi si specifica il nome del file di uscita contenente la rete estratta (o si lascia quello scelto dal programma che ripete il nome della cella).

Sempre dalla finestra di dialogo del comando extract si acceda al sotto-menù "output" e si fissino le seguenti opzioni:

Comments: tutte le voci attivate.

Write node as: attivare "Integers"

Nodal capacitans: disattivare.

Write verbose SPICE statments: attivare.

Label all devices. - attivare

L'ultima opzione comanda di indicare direttamente nel layout i nomi che l'estrattore assegna ai vari dispositivi. In questo modo, se nella rete compare un MOSFET che si chiama, per esempio M33, lo si può rintracciare prontamente nel layout. Anche questa operazione risulta particolarmente utile nel caso che l'LVS segnali errori, permettendo di identificare nel layout i transistori segnalati dall'LVS.

Per attivare effettivamente l'estrazione si attivi "RUN" e non "OK" ("OK" memorizza solo le impostazioni ma non esegue l'estrazione.)

LVS

Salvare le due netlist da confrontare nella stessa directory. Attivare LVS dalla voce del menù avvio ed eseguire il comando new, scegliendo poi **LVS setup**. Indicare nella finestra di dialogo le due netlist. Assegnare anche un file di output dove verrà salvato il resoconto del confronto. Ricordarsi di sostituire nelle nelist il comando .lib con .include (sembra dia più garanzie di funzionamento corretto). Lasciare tutte le opzioni come da default tranne che nel sotto-menù Advanced Parameters dove si può specificare cosa deve controllare l'ivs. Senza attivare nulla si fa un controllo solo topologico. Nel nostro caso occorre attivare il controllo delle "Lengths and Widths" dei MOSFET.