

Il latch-up

Il latch-up è un fenomeno a cui sono soggetti i circuiti integrati realizzati con una vasta gamma di processi tecnologici. Il risultato del latch-up è l'instaurarsi di un percorso conduttivo tra i terminali di alimentazione. La resistenza elettrica del percorso conduttivo è quasi sempre così bassa da potersi considerare un cortocircuito. Se l'alimentatore non è dotato di particolari protezioni, le elevate correnti che attraversano il cortocircuito portano alla distruzione del circuito integrato.

I circuiti CMOS e BiCMOS sono particolarmente soggetti al latch-up e pertanto per essi è necessario ricorrere a strategie che minimizzino la probabilità che questo fenomeno distruttivo si manifesti.

Il latch-up è causato dall'accensione di una coppia di transistori bipolari parassiti associati ai dispositivi CMOS. La figura 1 mostra un inverter CMOS (sinistra) e la sezione dei dispositivi che lo compongono (destra).

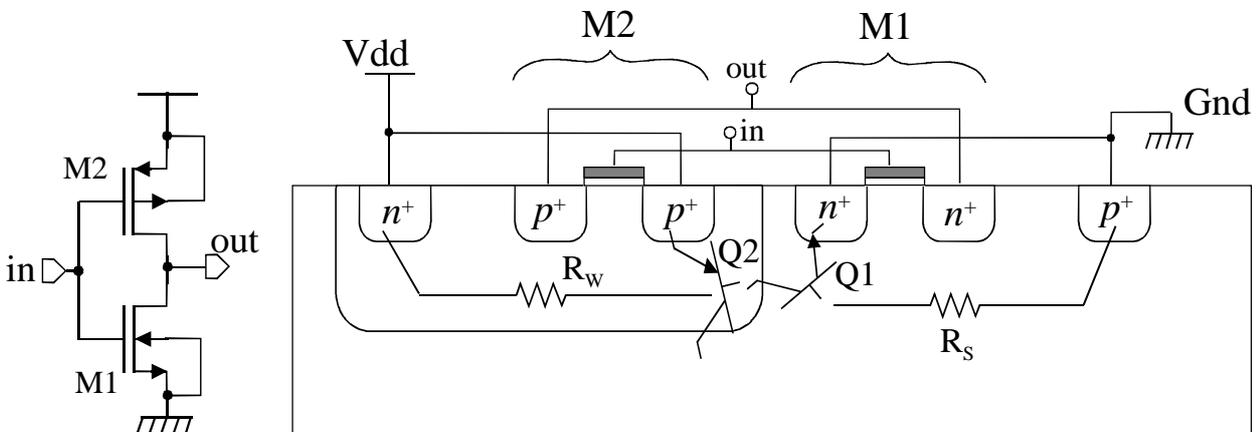


Figura 1: Componenti parassiti associati ad una semplice porta CMOS (inverter)

Osserviamo che la presenza contemporanea e ravvicinata dei pozzi drain/source e della well individuano alcune strutture npn e pnp che possono funzionare come transistori bipolari parassiti. Nella figura è indicata una coppia di transistori bipolari costituita da Q1 (nnp) e Q2 (pnp). Gli elementi fisici che costituiscono gli elettrodi dei due dispositivi sono indicati nella tabella seguente:

	Q1	Q2
Collettore	Well	Substrato
Base	Substrato	Well
Elettrodo	Source di M1 (pozzetto n+)	Source di M2 (pozzetto p+)

Occorre inoltre ricordare che sia il substrato sia la well sono connessi rispettivamente a gnd e Vdd. Questo avviene attraverso i contatti di substrato e di well, i quali non possono coincidere ovviamente con le basi e i collettori dei transistori parassiti, ma saranno connessi ad essi attraverso un percorso resistivo rappresentato in figura dalle resistenze R_w e R_s .

La rappresentazione a parametri concentrati dei transistori parassiti è ovviamente un'approssimazione in quanto, per quanto riguarda soprattutto il substrato e la well, le zone di essi che fungono da base e collettore di Q1 e Q2 possono essere estese e presentare una complessa geometria. Inoltre la porzione di substrato (o well) che funge da base per un transistore non coinciderà esattamente con quella che funge da collettore per l'altro, pur essendo le due zone elettricamente connesse. La modellazione

precisa di questi transistori parassiti richiede quindi l'impiego di opportuni simulatori capaci di risolvere le relative equazioni alle derivate parziali (drift-diffusion, Poisson etc.) in domini tridimensionali. Lo stesso discorso si applica per la resistenza tra le zone di collettore/base e il contatto di well o substrato, le quali risulteranno resistenze distribuite. Inoltre, nei casi reali, le prese (contatti) di substrato e well sono presenti in grande numero sul chip, pertanto le resistenze R_W e R_S saranno rappresentative del parallelo dei vari percorsi verso i relativi contatti.

È comunque possibile utilizzare un modello semplificato a parametri concentrati derivato dallo schema di figura 1. Lo schema, mostrato in figura 2 (sinistra), permette di comprendere a livello qualitativo il meccanismo che innesca il latch-up e di individuare soluzioni che ne limito l'occorrenza.

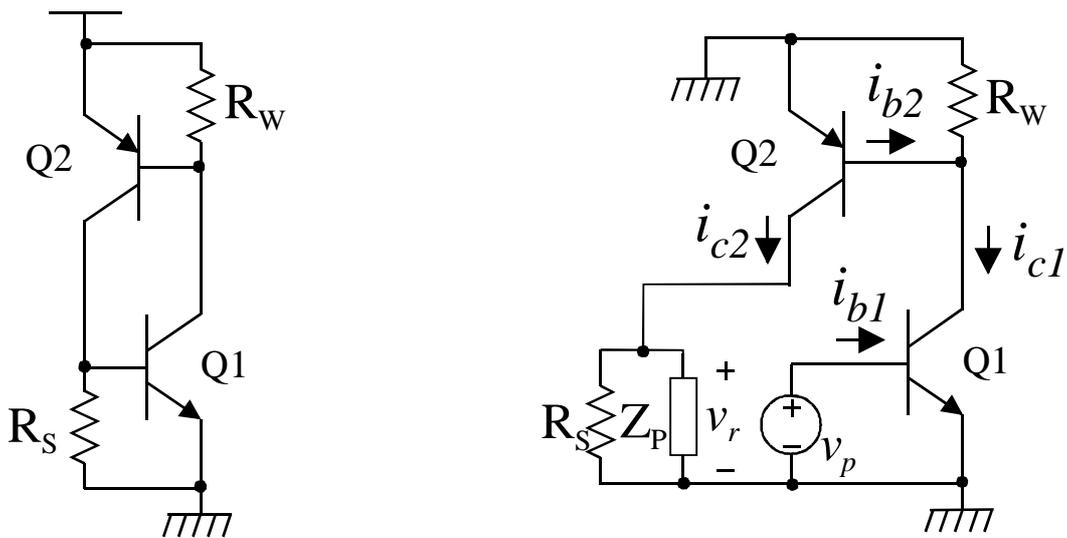


Figura 2: Circuito equivalente formato dai transistori bipolari parassiti e dalle resistenze R_S e R_W . Sulla destra è mostrato il circuito alle variazioni con la scomposizione usata per il calcolo del guadagno di anello. Le frecce indicano i versi convenzionali utilizzati nell'analisi del circuito.

Il circuito è caratterizzato dalla presenza di reazione positiva. Infatti, se ipotizziamo di partire da un certo punto di riposo e di incrementare la corrente di collettore di Q1, aumenterà la corrente di base di Q2 e quindi la sua corrente di collettore che, confluendo sulla base di Q1, produrrà infine un aumento della corrente di questo ultimo, andando così a rafforzare l'aumento iniziale.

Se il guadagno di anello (βA), oltre ad essere positivo, è anche maggiore di uno, l'aumento di corrente subisce un incremento dall'anello di reazione. Pertanto, compiendo successivi passaggi nell'anello, esso diviene sempre più grande e la corrente cresce in modo incontrollato fino alla distruzione delle giunzioni o delle interconnessioni.

Il βA si può calcolare vantaggiosamente ricorrendo al teorema di scomposizione. La figura 2 (destra) mostra il circuito alle variazioni con il taglio utilizzato per il calcolo del βA . Per semplicità, verranno utilizzati versi positivi uscenti per le correnti di base e collettore di Q2, come indicato in figura. Possiamo scrivere le seguenti equazioni:

$$\beta A \equiv \frac{v_r}{v_p}$$

$$v_r = i_{c2} \cdot R_S \parallel Z_P = h_{fe2} i_{b2} \frac{R_S Z_P}{R_S + Z_P} \quad (1)$$

In questa analisi semplificata faremo riferimento ai parametri in continua, pertanto non terremo in considerazione le varie capacità parassite. Infatti, a differenza di quanto accade in amplificatori e oscillatori, la reazione è già positiva in continua, per cui la stabilità può essere studiata a frequenza zero. Le capacità parassite determineranno esclusivamente la velocità con cui la corrente aumenta per effetto della reazione, ovvero quanto rapidamente si innesca e si sviluppa il latch-up.

Fatta questa premessa, possiamo procedere nell'analisi e porre semplicemente:

$$Z_P = h_{ie1} \quad (2)$$

La corrente i_{b2} può essere calcolata a partire da i_{c1} considerando che quest'ultima, essendo una variazione, scorre nel parallelo costituito da R_W e h_{ie2} . Pertanto:

$$i_{b2} = i_{c1} \frac{R_W}{R_W + h_{ie2}} \quad (3)$$

Infine, la i_{c1} sarà legata a v_p dalla seguente equazione:

$$i_{c1} = h_{fe1} i_{b1} = h_{fe1} \frac{v_p}{h_{ie1}} \quad (4)$$

Sostituendo la (4) nella (3) e quindi quanto ottenuto nella (1), tenendo conto della (2), si ottiene:

$$v_r = h_{fe1} \frac{v_p}{h_{ie1}} \frac{R_W}{R_W + h_{ie2}} h_{fe2} \frac{R_S h_{ie1}}{R_S + h_{ie1}} \quad (5)$$

la quale, dopo ovvie semplificazioni ci fornisce il βA :

$$\beta A = h_{fe1} h_{fe2} \frac{R_W}{R_W + h_{ie2}} \frac{R_S}{R_S + h_{ie1}} \quad (6)$$

Possiamo osservare che il βA è il prodotto di due amplificazioni di corrente ($h_{fe1} h_{fe2}$) e di due rapporti di partizione di corrente dati da $R_W/(R_W+h_{ie2})$ e $R_S/(R_S+h_{ie1})$. L'espressione ottenuta fa naturalmente riferimento ad un particolare punto di riposo, in cui sono calcolati i parametri h_{fe} e h_{ie} dei transistori bipolari parassiti. Trascurando le correnti inverse delle giunzioni, il circuito di figura 2 (sinistra) ammette una soluzione nulla, ovvero una soluzione in cui tutte le correnti (base e collettore) sono zero. Questo è tipicamente il punto di lavoro in cui si trovano a lavorare normalmente Q1 e Q2, i quali risultano quindi interdetti. In queste condizioni l'amplificazione di corrente (h_{fe}) dei transistori è inferiore ad 1, mentre le resistenze h_{ie} tendono a valori molto alti, facendo tendere a zero i rispettivi rapporti di partizione che compaiono nella (6). La situazione non cambia sostanzialmente se si considerano anche le correnti inverse delle giunzioni le quali, dato il loro basso valore, non spostano Q1 e Q2 da una condizione di sostanziale interdizione. Nel punto di riposo considerato il βA è quindi decisamente inferiore all'unità cosicché Q1 e Q2 rimangono in interdizione.

Supponiamo però che un impulso di corrente positivo arrivi sulla base di Q1. Se questo impulso ha ampiezza e durata sufficiente, esso può accendere Q1, il quale con la sua corrente di collettore accenderà Q2. A questo punto i due transistori bipolari si troveranno a lavorare temporaneamente in un punto di lavoro in cui gli h_{fe} saranno maggiori di 1 e le h_{ie} paragonabili con R_W e R_S . Questi valori potrebbero essere tali da produrre un $\beta A > 1$. Se ciò accade, l'incremento di corrente causato da

quell'impulso occasionale viene amplificato dalla reazione positiva e il latch-up si innesca portando ad un incremento progressivo delle correnti che si auto sostiene, anche se l'impulso iniziale viene rimosso.

Meccanismi di innesco del latch-up

Si noti che, per le considerazioni fatte più sopra, il latch-up si innesca solo se viene applicato un impulso considerevole, in grado cioè di far uscire decisamente uno dei due transistori dall'interdizione. A differenza di quanto accade negli oscillatori, il semplice rumore non è in grado di far partire il latch-up. Quindi occorre capire quali possono essere le sorgenti in grado di introdurre impulsi di corrente sufficienti a causare il latch-up. L'elenco seguente che raccoglie le cause più frequenti farà riferimento all'inverter della figura 1. Ovviamente gli stessi ragionamenti si possono ripetere per la maggior parte di circuiti digitali e analogici CMOS sottoposti a commutazioni.

- Supponiamo che l'inverter sia sottoposto ad una serie di commutazioni, rappresentate in figura 3 dall'onda quadra presente sull'uscita (drain). A causa dell'inevitabile capacità di giunzione tra i pozzetti di drain e il substrato (indicata in figura), le commutazioni produrranno variazioni di tensione nel substrato stesso. La capacità parassita forma un circuito CR passa alto con la resistenza R_S , pertanto la tensione locale del substrato avrà la forma ad impulsi indicata nella figura. In corrispondenza degli impulsi positivi il substrato si troverà localmente ad un potenziale più alto del ground e questo accenderà la giunzione che esso ha con il pozzetto di source che, a sua volta, coincide con l'emettitore di Q1. Pertanto una corrente di base scorrerà in Q1 producendo un impulso di corrente potenzialmente in grado di accendere il latch-up. Lo stesso ragionamento si può ripetere considerando questa volta il drain di M2, che può modificare localmente il potenziale della well, portandola a tensioni più basse della Vdd e accendendo quindi la giunzione di base di Q2.
- Se l'inverter è connesso con un pad di uscita, i circuiti esterni al chip possono portare occasionalmente il potenziale dei drain di M1 e M2 a valori inferiori al ground o superiori a Vdd. In questo caso si accenderebbero le rispettive giunzioni con il substrato o la well, introducendo minoritari che potrebbero sostenere correnti in grado di far partire il latch-up. Per esempio, se il drain di M1 scende sotto il potenziale di ground, si accenderà la giunzione tra esso ed il substrato, iniettando elettroni in quest'ultimo. Parte di questi elettroni saranno raccolti dalla zona di well (polarizzata a Vdd) che funge da base di Q2, producendo l'impulso di corrente in questione. Si noti che il potenziale di uscita dell'inverter può salire oltre Vdd o scendere sotto gnd anche se esso non è collegato ad un circuito esterno attivo, ma semplicemente ad un carico passivo induttivo in grado di produrre sovraelongazione (overshoot) nella risposta.
- Minoritari in quantità sufficienti ad accendere il latch-up possono essere introdotti dall'attraversamento del chip da parte di particelle ionizzanti ad alta energia, quali raggi cosmici o fotoni gamma. Questo problema è particolarmente importante per circuiti destinati a lavorare su satelliti artificiali, sonde spaziali, all'interno di centrali nucleari o in prossimità di acceleratori di particelle.
- Iniezioni di correnti nel substrato possono essere causate anche dall'entrata in breakdown di giunzioni polarizzate in inversa. Questo può accadere tipicamente per uno sbalzo sulle tensioni di alimentazione causato, per esempio, dal disinserimento repentino di un qualche circuito che condivide le stesse tensioni di alimentazione. Questi sbalzi sono di solito molto brevi in quanto vengono recuperati in breve tempo dagli stabilizzatori di tensione. Le correnti di breakdown non avrebbero quindi il tempo di produrre danni nel circuito. Nel

caso in cui inneschino il latch-up, quest'ultimo porta all'aumento incontrollato della corrente assorbita che continua anche quando lo sbalzo di tensione è terminato.

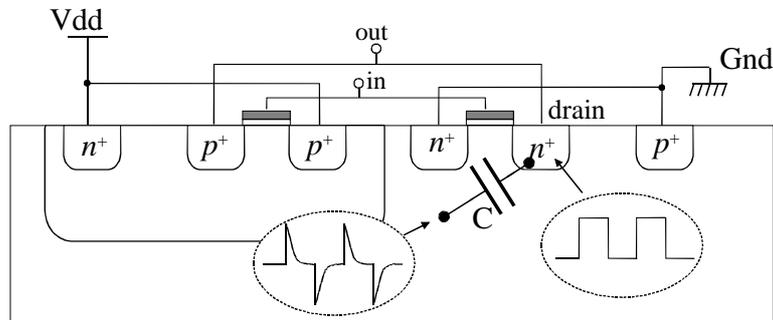


Figura 3. Generazione di oscillazioni nel potenziale del substrato a causa di capacità parassite (C) con pozzetti di drain/source sottoposti a commutazioni.

Metodi per la prevenzione del latch-up.

La struttura mostrata in figura 2 è la stessa che caratterizza gli SCR (Silicon Controlled Rectifiers), dispositivi ampiamente utilizzati nel campo dell'elettronica di potenza, nei quali la corrente massima è limitata dalla presenza del carico connesso in serie al dispositivo stesso. Come già detto, nel caso dei circuiti integrati, la presenza della struttura mostrata in figura 2 produce solo effetti dannosi, il più delle volte irreversibili, e pertanto occorre introdurre accorgimenti che assicurino che essa non entri mai in conduzione.

Accorgimenti tecnologici.

Le strategie di prevenzione del latch-up riguardano sia il processo tecnologico, sia la stesura del layout. Per quanto riguarda il processo tecnologico, gli accorgimenti mirano a ridurre il valore delle resistenze R_W e R_S . Una possibile soluzione è quella mostrata in figura 4 (a), in cui i dispositivi sono realizzati in uno strato epitassiale p cresciuto su un wafer p^+ .

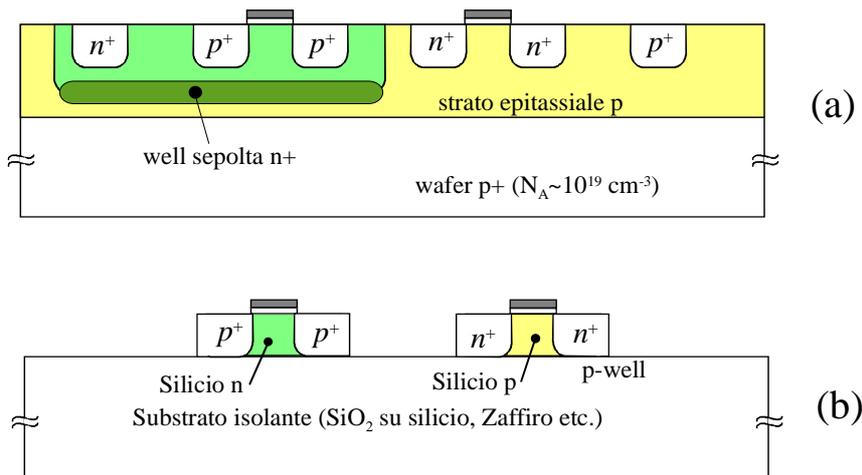


Figura 4. Prevenzione del latch-up a livello di processo tecnologico: (a) utilizzo di substrati a bassa resistività con n-well sepolte e strato epitassiale p; (b) processi silicon on insulator (SOI).

In questo modo il wafer costituisce a tutti gli effetti un piano di massa che riduce la resistenza dei percorsi tra le potenziali basi dei BJT parassiti e i contatti di ground. Per ridurre i percorsi conduttivi

anche all'interno delle well si introducono le well sepolte (buried-well), costituite da strati drogati n+ localizzati in profondità e ottenuti mediante impiantazione ad alta energia. La buried well realizza un piano conduttivo situato sul fondo della well che contribuisce anche in questo caso a ridurre la resistenza tra aree remote della well e le prese di well. Lo strato superficiale del silicio rimane così a basso (o moderato) drogaggio, consentendo la realizzazione dei dispositivi MOS.

Una soluzione più drastica è costituita dai processi SOI (silicon on insulator) o SOS (silicon on sapphire), mostrati in figura 4 (b), dove il body di tipo p (p -well) e di tipo n (n -well), rispettivamente dei transistori n-MOS e p-MOS, costituiscono isole di silicio appoggiate su un isolante, eliminando così la presenza dei transistori bipolari parassiti. Processi di questo tipo sono praticamente indispensabili per applicazioni spaziali.

Accorgimenti progettuali.

I principali accorgimenti da adottare in fase di layout, ovvero di progetto del chip, variano in base al fatto che si applichino ai transistori "interni", ovvero appartenenti a quei circuiti che non hanno connessioni dirette con i pad, oppure ai dispositivi di input-output. Per i primi la regola principe è quella di accorciare i percorsi tra i contatti di substrato (o di well) e le aree di substrato (o di well) prossime a pozzetti di source e drain (indicati genericamente con "diffusioni"). Nei manuali di processo viene di solito richiesto che la distanza tra ogni diffusione e il più vicino contatto sia inferiore ad un valore minimo di solito dell'ordine di alcune decine di micron. Questa regola deve essere rispettata sia per le diffusioni n+ presenti sul substrato, sia per quelle p+ presenti nelle well. In pratica il progettista cerca di inserire il numero più grande possibile di contatti di substrato/well, sfruttando zone libere da altri componenti circuitali. La necessità di impedire l'occorrenza del latch-up è anche alla base di alcune regole di layout quali la distanza relativamente grande che le diffusioni devono rispettare dai bordi delle well. Se facciamo riferimento alla figura 1, possiamo osservare che queste distanze costituiscono di fatto lo spessore delle basi dei BJT parassiti. Tenendole grandi (es. 3 μm), si riduce il guadagno in corrente dei transistori (hfe), riducendo quindi il βA .

I circuiti di ingresso / uscita necessitano di accorgimenti speciali in quanto, essendo connessi a linee esterne potrebbero essere sottoposti a tensioni che eccedono in basso e in alto le tensioni di alimentazione, causando l'accensione di giunzioni e quindi elevata iniezione di minoritari in larghe porzioni di substrato o well. Per questo motivo i manuali di processo consigliano al progettista di circondare i transistori di uscita con anelli di contatti di substrato (o well) e con diffusioni opportunamente polarizzate per catturare gli eventuali minoritari iniettati, impedendo che questi possano raggiungere le basi dei transistori parassiti.