

1 Analizzatori di stati logici

Introduzione

Gli analizzatori di stati logici (A.S.L.) o *Logic Analyzer* (L.A.) sono strumenti che consentono la visualizzazione dell'andamento temporale di segnali digitali e, come si vedrà nel seguito, anche una decodifica dell'informazione ad essi associata.

Lo sviluppo degli A.S.L. ha avuto grande impulso all'epoca della diffusione sul mercato dei primi microprocessori per usi commerciali; in questa fase, infatti, si è manifestata l'inadeguatezza degli oscilloscopi (anche digitali) per il *debug* del progetto dei microcontrollori e dei sistemi che impiegano microcontrollori. Infatti nello sviluppo di questi apparati si ha spesso la necessità di visualizzare proprio l'andamento nel tempo di segnali (frequentemente anche in numero consistente) digitali; per tali segnali l'uso di un oscilloscopio non è la soluzione migliore.

La ragione di questo sta nelle caratteristiche che differenziano un segnale digitale da un generico segnale analogico.

Un segnale analogico ha, per sua natura, valori compresi in un determinato intervallo e distribuiti con continuità all'interno di questo. Per discriminare tali valori e la loro successione nel tempo è richiesta dunque una risoluzione (detta "verticale") che generalmente, in un oscilloscopio digitale, è di non meno di 8 bit. In un segnale analogico, anche eventualmente costituito da brusche variazioni di livello, si ha di norma l'esigenza di valutare i tempi di salita e discesa, le eventuali sovraelongazioni, o di misurare parametri caratteristici come il valore massimo, o quello efficace.

Di un segnale digitale si ha invece generalmente la necessità di determinare il *livello logico* che esso esprime e la sua evoluzione nel tempo. Eventuali sovraelongazioni, o la presenza di fluttuazioni del livello di tensione (purché di ampiezza tale da non determinare variazioni spurie del livello logico associato) non sono invece caratteristiche che richiedono particolare attenzione: la risoluzione verticale richiesta è dunque di soli due bit.

Un'altra caratteristica che differenzia generalmente un sistema digitale da uno analogico è il numero talvolta rilevante di segnali (digitali) che si ha la necessità di seguire *contemporaneamente* nel loro andamento temporale.

Un analizzatore di stati logici è dunque uno strumento a più ingressi che permette proprio di seguire nel tempo l'andamento di segnali digitali, ossia la successione di livelli logici "1" e "0" che essi rappresentano.

Nel corso del tempo, le prestazioni di questi strumenti, come per esempio la velocità di acquisizione e il numero di canali sono migliorate, di pari passo con l'aumento delle esigenze legate allo sviluppo delle tecnologie digitali. Oggigiorno l'impiego dell'analizzatore di stati logici è essenziale nello sviluppo dei sistemi digitali.

Un A.S.L. ha generalmente un numero di canali decisamente superiore a quello che caratterizza un oscilloscopio: mentre questo raramente possiede più di 4 canali, è facile trovare

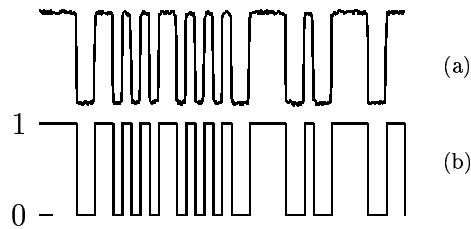


Figura 1 - Un oscilloscopio (a) permette di cogliere i dettagli “analogici” dei segnali (ondulazioni, tempo di salita, ecc.), mentre un A.S.L. (b) distingue tra livello logico “alto” e livello logico “basso”

analizzatori di stati logici in grado di trattare da qualche decina a qualche centinaio di segnali contemporaneamente, disponendo quindi di un pari numero di canali.

Principio di funzionamento

La funzione principale che permette a un analizzatore di stati logici di convertire una successione di livelli di tensione in una di livelli logici è il confronto della tensione inviata a ciascun canale con determinati valori (soglie): un valore di tensione superiore alla soglia corrisponde a un livello logico “1”, mentre un valore inferiore alla soglia (o a un'altra soglia) individua il livello logico complementare (o viceversa). In un analizzatore di stati logici il campionamento di ogni segnale d'ingresso produce una successione di “1” e “0” che vengono successivamente memorizzati¹.

Ogni forma d'onda visualizzata ha l'aspetto di quella che potrebbe essere ottenuta da un programma di simulazione (Figura 1(a)): il segnale appare “più pulito” di come apparirebbe su un oscilloscopio. Questo tipo di visualizzazione permette di cogliere le relazioni temporali tra i vari segnali (per esempio il ritardo con cui si ha una determinata transizione su un canale rispetto a quella su un altro canale), la durata degli impulsi che costituiscono uno dei segnali, l'eventuale assenza di impulsi (laddove invece questi sarebbero previsti) o la presenza di impulsi indesiderati. Per contro un analizzatore di stati logici non permette di apprezzare i dettagli “analogici”, come quelli relativi all'integrità di un segnale (tempo di salita (o di discesa), sovraelongazioni e ...) alla sua stabilità (jitter), pendenza dei fronti, ritardi di propagazione, e così via.

Funzionalità accessorie per un analizzatore di stati logici (ma di fondamentale importanza per determinate applicazioni) sono inoltre la possibilità di definire come *eventi di trigger* particolari condizioni sui segnali in ingresso (come già per un oscilloscopio digitale), oppure la possibilità di analizzare ed elaborare i dati memorizzati per ricavarne particolari informazioni, come si vederà in seguito.

¹Alcuni a.s.l. permettono di stabilire due valori di soglia e discriminano tra livello logico alto, livello basso e livello intermedio (o indeterminato).

Gli impieghi più comuni di un analizzatore di stati logici sono

- la verifica del corretto funzionamento di sistemi digitali;
- il tracciamento contemporaneo di più segnali digitali, con l'obiettivo di ricavarne informazioni sulla correlazione temporale;
- la ricerca e l'analisi di violazioni delle temporizzazioni;
- il tracciamento dell'esecuzione del *software* da parte di un sistema programmabile (p. es. un microcontrollore).

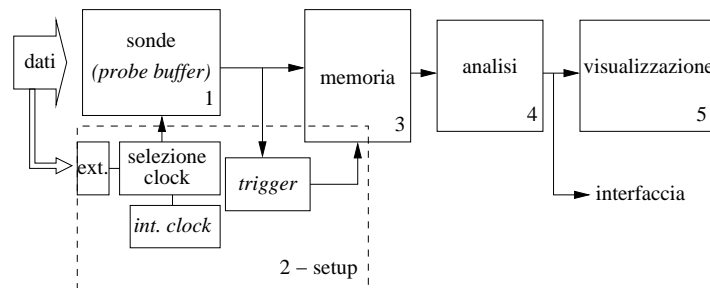


Figura 2 - Schema a blocchi semplificato di un analizzatore di stati logici. Ogni blocco sintetizza diverse funzioni hardware e/o software.

In Figura 2 è rappresentata una possibile schematizzazione di un analizzatore di stati logici. I blocchi essenziali che lo costituiscono sono

1. *Probe* (sonde): sono i dispositivi che permettono il collegamento dello strumento al sistema sotto test. Sono generalmente raggruppate in un *probe buffer* cioè un dispositivo esterno allo strumento vero e proprio, al quale convergono le varie sonde. All'interno del *probe buffer* avviene il confronto dei segnali in ingresso con i valori delle tensioni di soglia, definibili dall'utente o specificate mediante la selezione della famiglia logica cui appartengono i dispositivi che costituiscono il sistema sotto misura. Tale operazione (evidentemente effettuata mediante opportuni comparatori) produce come risultato i livelli logici corrispondenti ai livelli di tensione campionati.

Il *probe buffer* è generalmente collegato al corpo principale dello strumento mediante uno o più cavi costituiti da diversi conduttori, che “trasportano” più segnali contemporaneamente. Il fatto che il “riconoscimento” dei livelli logici avvenga nel *probe buffer*, e dunque nelle immediate vicinanze del sistema nel quale i segnali da visualizzare vengono generati, consente di contenere la lunghezza dei collegamenti interessati dai segnali ancora non convertiti in livelli logici e dunque ancora maggiormente sensibili all'azione di disturbi, che possono comprometterne l'integrità.

Dato l'elevato numero di canali di cui può disporre l'analizzatore di stati logici, e quindi del consistente numero di sonde necessarie, queste sono generalmente riunite in gruppi da 8 o da 16, e contraddistinte da colori diversi (un colore per ogni gruppo) allo scopo di rendere più agevole la loro identificazione. I terminali delle sonde possono essere dotati di particolari sistemi di aggancio ai terminali sui quali sono presenti i segnali di interesse (clip, coccodrilli) o di terminali (a pinze) configurati in modo da adattarsi ai diversi Circuiti Integrati, consentendo con un'unica operazione il collegamento contemporaneo di tutti i piedini.

È inoltre importante che le sonde operino senza alterare significativamente i segnali stessi (per esempio per un eccessivo effetto caricante) o introdurre ritardi diversi tra i vari canali, cosa che altererebbe le relazioni temporali tra i segnali.

2. *Setup*: è il sottosistema che provvede alla definizione della modalità di campionamento dei segnali (mediante l'impiego di un opportuno *clock*) e delle modalità di *trigger*. Il segnale di clock, che scandisce il campionamento dei segnali inviati allo strumento, può essere generato internamente allo strumento stesso (clock interno), oppure essere prelevato dallo stesso sistema sotto osservazione (clock esterno). L'utilità di operare in un modo o nell'altro verrà giustificata nel seguito.

Le modalità di trigger sono un altro aspetto che caratterizza un analizzatore di stati logici. Scopo del trigger è selezionare i dati che devono essere acquisiti da un analizzatore di stati logici: lo strumento "insegue" gli stati logici e il trigger agisce in concomitanza con il verificarsi di un evento definito dall'utente. Tale evento può essere per esempio:

- un determinata transizione (per esempio verso l'alto) in uno dei segnali osservati (p. es. un RESET);
- un *glitch* su uno degli ingressi;
- una determinata condizione logica tra alcuni dei segnali inviati allo strumento;
- la totalizzazione, da parte di un contatore, di un determinato numero di eventi;
- il trascorrere di un determinato intervallo di tempo tra due (specifiche) transizioni;
- il perdurare di un determinato stato per un certo tempo.

In tutti i casi l'evento è qualcosa che appare quando i segnali cambiano rispetto a uno stato precedente.

Altra utile caratteristica di molti analizzatori di stati logici è la possibilità di associare a ogni canale dello strumento o a un insieme di essi (cioè ad ogni segnale o insieme di segnali) un'etichetta "mnemonica" che, visualizzata sul *display* accanto alla relativa rappresentazione dei segnali, ne permette una più agevole interpretazione. In questo modo l'utente riconosce e distingue i vari segnali (o stati) come, p. es., CLK, ENABLE, DATA IN, invece che, più genericamente, chan 1, chan 2, ecc.

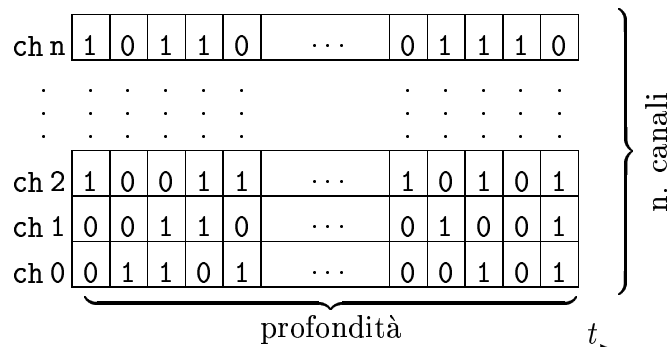


Figura 3 - Schematizzazione della memoria di un analizzatore di stati logici. La dimensione verticale è tanto maggiore quanto più numerosi sono i canali dello strumento. La dimensione orizzontale corrisponde alla profondità di memoria: una maggiore profondità consente la memorizzazione di un maggior numero di campioni per ogni canale.

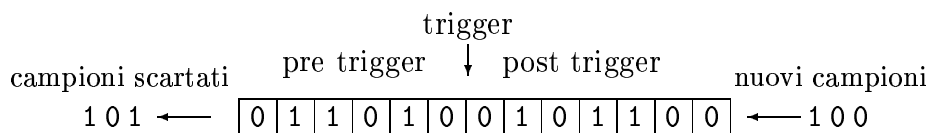


Figura 4 - Nella memoria di un analizzatore di stati logici i campioni più “vecchi” vengono scartati per lasciare posto a quelli più recenti.

3. **Acquisizione:** consiste sostanzialmente nella funzione di memorizzazione dei valori logici. La memoria è il cuore dello strumento, la destinazione dei dati acquisiti mediante il campionamento e la fonte delle informazioni che verranno visualizzate. Essa deve essere in grado di memorizzare i dati alla velocità con la quale essi vengono acquisiti e le sue dimensioni sono ovviamente commisurate al numero di canali e alla durata dell’acquisizione. Con riferimento alla Figura 3, essa può dunque essere vista come una matrice la cui dimensione verticale è pari al numero di canali, mentre quella orizzontale (profondità) indica, aumentando, la possibilità di acquisire - memorizzandoli - record temporali di durata maggiore. Per una data profondità di memoria il tempo di acquisizione possibile decresce all’aumentare della frequenza di campionamento. La memoria viene gestita in maniera circolare: l’analizzatore di stati logici campiona e acquisisce i dati in ingresso e li trasferisce in memoria, sovrascrivendo i dati più vecchi quando essa è piena, secondo un criterio *first-in, first-out* (Figura 4).

Tutto questo procede fino al verificarsi dell’evento di trigger. Da questo istante viene

inibita la sovrascrittura dei dati relativi a un determinato intervallo di tempo precedente l'evento di trigger (pre-trigger) e l'acquisizione continua per un certo intervallo dopo il trigger (post-trigger), come è schematizzato in Figura 4. La definizione della lunghezza del pre-trigger e del post-trigger è in generale molto flessibile, consentendo l'acquisizione e l'analisi di eventi che si presentano prima o dopo il trigger o a cavallo di questo. In questo modo è possibile, azionando il trigger su un sintomo (generalmente un malfunzionamento), esaminare sia le possibili cause del malfunzionamento (prima del suo verificarsi e quindi durante l'intervallo di pre-trigger), sia le sue conseguenze (nel post-trigger). È inoltre possibile anche cominciare a memorizzare i dati a partire da un certo istante successivo all'evento di trigger (*delayed trigger*).

4. Analisi: effettua l'analisi dei dati (rappresentati dal contenuto della memoria) secondo le modalità di configurazione dello strumento.
5. Visualizzazione: presentazione del loro contenuto informativo dei dati su uno schermo a raggi catodici o a stato solido, nella forma richiesta dall'utente in fase di configurazione, secondo quanto è esposto di seguito.

Modalità di funzionamento

In un analizzatore di stati logici esistono due modalità di acquisizione (cioè di campionamento) legate a due diverse modalità di clock e a cui corrispondono generalmente due modalità di presentazione dei risultati sul *display*.

La modalità "temporale" (o *timing mode*) è utile per rilevare informazioni relative alla tempistica dei segnali: questo risultato si ottiene con un campionamento alla massima frequenza possibile, controllata da un clock interno allo strumento; dunque il campionamento è asincrono rispetto al funzionamento del sistema sotto osservazione e quindi rispetto al suo clock. Ciò permette di evidenziare le relazioni temporali tra i vari segnali e quindi evidenziare problemi di temporizzazione, corse, ritardi di propagazione, assenza di transizioni o presenza di impulsi indesiderati, *glitch*. I segnali in ingresso vengono allora generalmente rappresentati sul *display* come forme d'onda, in modo simile a ciò che avviene in un oscilloscopio (ma con risoluzione verticale ovviamente inferiore). È anche possibile la rappresentazione in forma tabellare, in cui per ogni istante (di campionamento) viene indicato, per ogni canale, il valore (1 o 0) assunto dal relativo segnale.

All'aumentare della frequenza di campionamento dei segnali aumenta ovviamente la risoluzione temporale che si ottiene, a scapito della lunghezza del record temporale che può essere acquisito, data la lunghezza finita della memoria.

Un modo per ridurre lo spazio di memoria necessario, permettendo quindi di acquisire i segnali per tempi più lunghi (a parità di memoria disponibile) consiste nel far ricorso al cosiddetto "campionamento transizionale" (*transitional sampling*); esso consiste nel memorizzare, per ciascun segnale sotto esame, solo gli istanti (*time stamp*) in corrispondenza dei quali (per ciascun

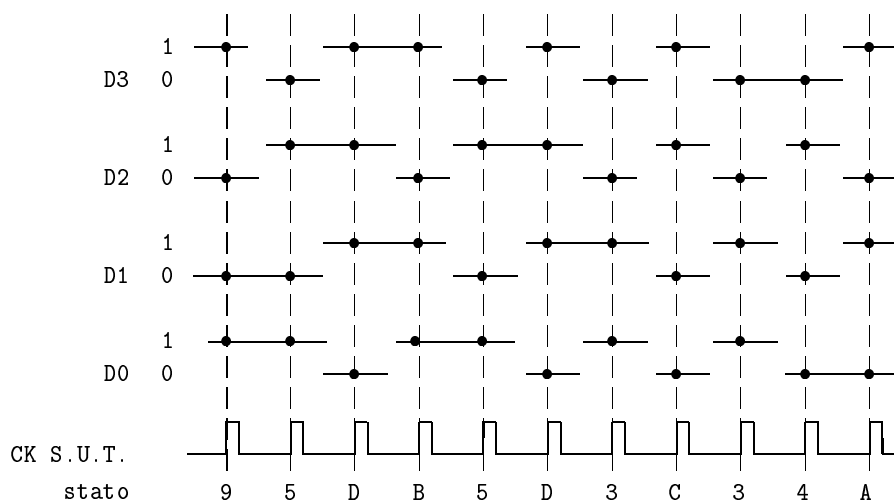


Figura 5 - Schematizzazione del funzionamento dell'analizzatore di stati logici in *state mode*.

segnale) si ha una transizione. Questa tecnica consente un significativo risparmio nell'occupazione di memoria, in particolare nelle situazioni in cui il segnale sotto osservazione mantiene il proprio stato per lunghi intervalli di tempo, come avviene per esempio nei sistemi nei quali il trasferimento dei dati avviene per pacchetti, localizzati nel tempo in brevi intervalli, rispetto a lunghi periodi nei quali non si ha trasferimento di informazione.

Nella modalità "di stato" (o *state mode*) viene invece acquisito lo "stato" del sistema. Gli istanti di campionamento sono definiti da un segnale proveniente dal sistema sotto misura, segnale che può essere il clock del sistema stesso, o un segnale derivato da esso, o ancora un segnale di controllo su un bus, o un segnale che determina il cambio di stato del sistema sotto osservazione. I segnali sono campionati sul fronte attivo e rappresentano lo stato del sistema quando i segnali logici sono divenuti stabili e dunque possono essere considerati validi. Quanto accade tra un fronte attivo e il successivo non è invece di interesse. Nello *state mode* la visualizzazione sul *display* può avvenire in forma di diagramma temporale (come già visto per il *timing mode* ma anche in altre forme selezionabili dall'utente. A titolo di esempio e con riferimento alla Figura 1, i dati relativi a quattro segnali in ingresso (D3, D2, D1 e D0 nella figura) potrebbero essere interpretati come le cifre (bit) di un numero indicativo dello stato del sistema.

Una situazione in cui si fa ricorso al funzionamento in *state mode* è quella del *debug* del programma eseguito da un microprocessore: in questo caso la decodifica dei dati consiste nella rappresentazione del codice disassemblato (cioè dei comandi mnemonici - JUMP, MOVE, ecc. - ricavati disassemblando il codice binario presente nella memoria di programma della macchina). Ovviamente questa modalità di funzionamento è possibile se lo strumento "riconosce" il codice binario dello specifico processore, cioè se è stato progettato e programmato adeguatamente.

Ciò che determina la modalità di acquisizione impiegata è il tipo di informazioni che si

vogliono estrarre dai segnali in ingresso: per catturare i dettagli temporali di una lunga sequenza di livelli logici è necessaria un'acquisizione asincrona a elevata frequenza, risultato che si ottiene nel *timing mode*; al contrario, per acquisire i dati così come questi sono visti dal sistema sotto misura è necessario lo *state mode*: in questa modalità di funzionamento gli stati del sistema vengono visualizzati così come si susseguono.

Per un impiego agevole dello strumento (data la sua complessità), è di fondamentale importanza l'interfaccia utente; essa comprende ovviamente il *display*, ma anche gli organi di comando (tasti, manopole, *soft menu* che permettono la selezione sullo schermo del/dei segnale/segnali di interesse, oppure uno zoom su un determinato intervallo di tempo, oppure il passaggio da un modo all'altro (state-timing), o di scorrere la successione di istruzioni disassemblate.

Alcuni strumenti dispongono di accessori che consentono la memorizzazione delle informazioni acquisite su un supporto di memoria non volatile (disco) o il trasferimento delle stesse informazioni su Personal Computer. Allo scopo di ridurre il costo dello strumento, talvolta questo è privo di interfaccia utente, ma si interfaccia con un Personal Computer che, mediante opportuno software, funge esso stesso da interfaccia permettendo il controllo e la gestione dell'analizzatore di stati logici.

Alcuni strumenti permettono la visualizzazione anche dell'andamento dettagliato cioè "analogo" di uno (o più) tra i segnali d'ingresso: in questo caso l'analizzatore di stati logici svolge le funzioni di un oscilloscopio; cosa che può essere utile per esempio per valutare la rumorosità del segnale, senza dover ricorrere a un altro strumento.

Specifiche

Tra le caratteristiche degli analizzatori di stati logici, quelle che principalmente vengono prese in considerazione in caso di scelta di uno strumento sono:

- numero di canali: maggiore il numero di canali, maggiore la complessità del sistema che può essere caratterizzato. È da precisare, a questo proposito, che generalmente un analizzatore di stati logici permette di visualizzare contemporaneamente l'andamento di un numero di segnali inferiore a quello dei segnali in ingresso: in altri termini, uno strumento a 96 canali non necessariamente visualizza contemporaneamente tutti i canali).
- velocità di clock: come in un oscilloscopio, maggiore è la velocità del clock e più rapidi sono i fenomeni che possono essere visualizzati. Gli a.s.l. in commercio oggi, lavorano con frequenze di clock tipicamente dell'ordine del centinaio di Megahertz, e fino a qualche Gigahertz.
- modalità di trigger: come in un oscilloscopio digitale, un più ampio insieme di possibile eventi di trigger, rende lo strumento più versatile.

- possibilità di impiego nell'analisi del comportamento di microcontrollori. La possibilità di impiego di un a.s.l. per il debug di sistemi a microcontrollori, se si vuole utilizzare la funzionalità di disassemblaggio del programma, richiede la memorizzazione nello strumento del codice macchina associato alle varie istruzioni: maggiore è il numero di microcontrollori per cui questo è possibile, più versatile risulta essere lo strumento.

Sonde logiche

La sonda logica (*logic probe*) è uno strumento (di forma generalmente molto simile a quella di una penna) dotato di un puntale che, messo a contatto con un punto del circuito sotto esame, ne rivela lo stato logico, misurandone la tensione e confrontandola con i valori caratteristici della famiglia logica cui appartengono i componenti del circuito stesso.

Lo stato logico (“1” o “0”) viene evidenziato, a seconda dello strumento, con l'accensione di uno o più LED (p. es. spento = “0”, acceso = “1”, oppure LED rosso = “0”, LED verde = “1”). Alcuni strumenti evidenziano anche uno stato incerto, per esempio con una luminosità intermedia del dispositivo luminoso.

Dato che sarebbe impossibile, per un osservatore umano, seguire cicli di accensione/spegnimento del LED a frequenze elevate, questi strumenti sono talvolta dotati di funzioni che permettono di “allungare” segnali impulsivi di durata tale da non poter essere percepiti direttamente osservando un LED. In questo modo lo strumento si presta anche alla valutazione di variazioni di stati logici, oltre che di stati permanenti.