

PROVA SCRITTA di DISPOSITIVI ELETTRONICI del 3 Luglio 2019

ESERCIZIO 1

Un diodo p^+n è a base corta: $W = 4 \mu\text{m}$, $N_D = 10^{16} \text{ cm}^{-3}$, $\mu_n = 0.1 \text{ m}^2/\text{Vs}$, $\mu_p = 0.04 \text{ m}^2/\text{Vs}$, $\tau_p = \tau_n = 10^{-6} \text{ s}$, $S=1 \text{ mm}^2$.

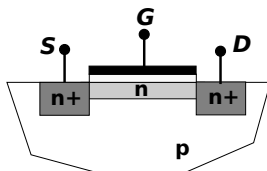
1) Si consideri l'approssimazione al primo ordine. Una volta determinata la corrente per $V = 0.55 \text{ V}$, determinare una espressione per il campo elettrico nella regione quasi-neutra e calcolarne il valore per $x = W$. [4]

2) Si consideri l'approssimazione al secondo ordine. Determinare la corrente di lacune per $x = 0$ (estremo della regione di svuotamento) e per $x = W$. SUGGERIMENTO: si pensi al transistor bipolare. [3]

3) Considerando l'approssimazione al secondo ordine, calcolare il campo elettrico in $x = W$. [3]

ESERCIZIO 2

Un transistor MOS (condensatore MOS ideale) viene costruito su un substrato $p = N_A = 10^{16} \text{ cm}^{-3}$, $t_{ox} = 30 \text{ nm}$, $\mu_n = 0.08 \text{ m}^2/\text{Vs}$, $W/L = 10$. Nel processo di fabbricazione, dopo l'apertura dell'area attiva, viene effettuato un drogaggio con fosforo per diffusione termica. Per semplicità, si supponga che il drogaggio sia uniforme, pari a $N_D = 5 \times 10^{15} \text{ cm}^{-3}$ in uno strato spesso 600 nm sotto la superficie. Si supponga anche che la giunzione pn canale-substrato sia in equilibrio in tutte le condizioni di polarizzazione. Il condensatore MOS è ideale rispetto al drogaggio n ($\Phi_{MS_s} = 0$).



1) Calcolare I_{DS} per $V_{DS} = 0.1 \text{ V}$ e $V_{GS} = 0 \text{ V}$. [3]

2) Determinare la caduta di tensione nel silicio V_S , nonché la tensione V_{GS} , per cui si ha $I_{DS} = 0$. [4]

3) Calcolare I_{DS} per $V_{DS} = 0.1 \text{ V}$ e $V_{GS} = 2 \text{ V}$ (trascurare la caduta sulla giunzione pn). [3]

NOTA: questo esercizio riguarda un MOS a svuotamento, con canale pre-formato grazie al drogaggio con fosforo.

ESERCIZIO 3

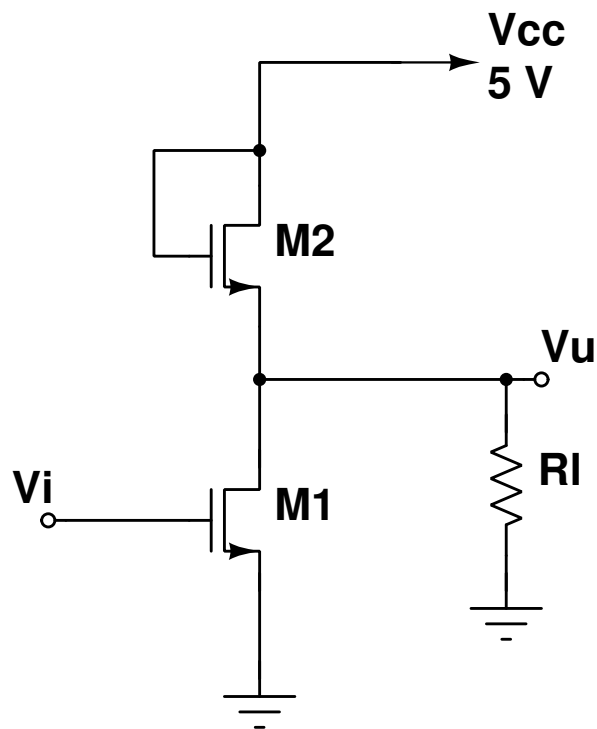
Un processo polysilicon gate per la fabbricazione di transistori n -MOS ($N_A = 10^{16} \text{ cm}^{-3}$, $\mu_n = 0.08 \text{ cm}^2/\text{Vs}$, gate in polisilicio di tipo p^+) è stato caratterizzato misurando dei condensatori MOS di test quadrati, con $W = L = 10 \text{ }\mu\text{m}$. La curva CV ha mostrato una capacità massima pari a 0.1151 pF , e il minimo della capacità è risultato per $V = 1 \text{ V}$.

1) Determinare il valore della capacità minima e la carica parassita all'interfaccia ossido-silicio. [4]

Con il processo in questione, viene realizzato il circuito in figura. Entrambi i transistori M1 e M2 hanno il substrato (bulk) connesso a massa. Per M1 abbiamo che $W/L = 5$.

2) Determinare W/L del transistore M2 in maniera tale da avere $V_u = 0.3 \text{ V}$ per $R_L = 10 \text{ k}\Omega$ e per $V_i = 5 \text{ V}$. [3]

3) Determinare il valore minimo di R_L (massimo carico in uscita) che permette di ottenere $V_u > 4 \text{ V}$ con $V_i = 0$. [3]



ESERCIZIO 1

Un diodo p^+n è a base corta: $W = 4 \mu\text{m}$, $N_D = 10^{16} \text{ cm}^{-3}$, $\mu_n = 0.1 \text{ m}^2/\text{Vs}$, $\mu_p = 0.04 \text{ m}^2/\text{Vs}$, $\tau_p = \tau_n = 10^{-6} \text{ s}$, $S=1 \text{ mm}^2$.

1) Si consideri l'approssimazione al primo ordine. Una volta determinata la corrente per $V = 0.55 \text{ V}$, determinare una espressione per il campo elettrico nella regione quasi-neutra e calcolarne il valore per $x = W$. [4]

2) Si consideri l'approssimazione al secondo ordine. Determinare la corrente di lacune per $x = 0$ (estremo della regione di svuotamento) e per $x = W$. SUGGERIMENTO: si pensi al transistor bipolare. [3]

3) Considerando l'approssimazione al secondo ordine, calcolare il campo elettrico in $x = W$. [3]

SOLUZIONE 1

1) Calcoliamo la corrente, trascurando l'ampiezza della regione di svuotamento (la giunzione è polarizzata in diretta). La giunzione è sicuramente a base corta:

$$\begin{aligned}D_p &= \frac{kT}{q} \mu_p = 1.034 \times 10^{-3} \text{ m}^2\text{s} \\I_S &= qS \frac{D_p}{W} \frac{n_i^2}{N_D} = 9.318 \times 10^{-13} \text{ A} \\I &= I_S \left(e^{\frac{V}{V_T}} - 1 \right) = 1.62 \text{ mA}\end{aligned}$$

La corrente nella regione quasi-neutra è data dalla somma della corrente di diffusione delle lacune, più la corrente di diffusione e di trascinamento degli elettroni. Poiché la corrente di diffusione di lacune è costante e pari alla corrente totale del diodo, abbiamo che la corrente totale di elettroni è uguale a 0:

$$\begin{aligned}I_n &= qS\mu_n n \mathcal{E} + qSD_n \frac{d\delta n(x)}{dx} = 0 \\qS\mu_n N_D \mathcal{E} &= -qSD_n \frac{d\delta n(x)}{dx} = -qSD_n \frac{d\delta p(x)}{dx} = qSD_n \frac{\delta p(0)}{W} \\ \mathcal{E} &= \frac{D_n}{\mu_n N_D} \frac{n_i^2}{N_D} \left(e^{\frac{V}{V_T}} - 1 \right) \\ \mathcal{E} &= V_T \frac{n_i^2}{N_D^2} \left(e^{\frac{V}{V_T}} - 1 \right) = -1.04 \times 10^{-4} \text{ V/m}\end{aligned}$$

Il campo elettrico è costante (e molto piccolo) in tutta la regione quasi-neutra

2) In $x = 0$ la corrente di lacune è quella totale, ed è come se fosse la corrente di emettitore di un transistor bipolare:

$$\begin{aligned}
 I &= \frac{Q}{\tau_t} + \frac{Q}{\tau_p} \\
 Q &= qS\delta p(0)\frac{W}{2} = 1.25 \times 10^{-11} \text{ C} \\
 \tau_t &= \frac{W^2}{2D_p} = 7.74 \text{ ns} \\
 I &= 1.62 \text{ mA} + 12.5 \mu\text{A}
 \end{aligned}$$

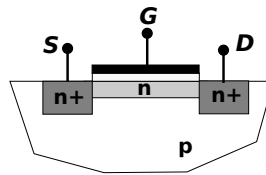
La prima è la corrente ottenuta assumendo il profilo lineare, la seconda è quella ottenuta considerando la ricombinazione di lacune, che corrisponde all'iniezione di elettroni dal contatto verso la regione quasi-neutra.

In $x = W$ la corrente di lacune corrisponde a $I_p = \frac{Q}{\tau_t}$, mentre $I_n = \frac{Q}{\tau_p} = 12.5 \mu\text{A}$ è dovuta alla ricombinazione nella regione quasi-neutra, e quindi è dovuta agli elettroni forniti dal contatto per la ricombinazione.

3) Rifacendosi al punto 1), a questo punto il campo elettrico in W si può scrivere come:

$$\begin{aligned}
 I_n &= qS\mu_n n \mathcal{E} + qSD_n \frac{d\delta n(x)}{dx} = 0 \\
 \mathcal{E} &= \frac{I_n}{qS\mu_n n} + \frac{D_n}{\mu_n N_D} \frac{n_i^2}{N_D} \left(e^{\frac{V}{V_T}} - 1 \right) = 0.078 + 1.04 \times 10^{-4}
 \end{aligned}$$

ESERCIZIO 2 Un transistor MOS (condensatore MOS ideale) viene costruito su un substrato $p = N_A = 10^{16} \text{ cm}^{-3}$, $t_{ox} = 30 \text{ nm}$, $\mu_n = 0.08 \text{ m}^2/\text{Vs}$, $W/L = 10$. Nel processo di fabbricazione, dopo l'apertura dell'area attiva, viene effettuato un drogaggio con fosforo per diffusione termica. Per semplicità, si supponga che il drogaggio sia uniforme, pari a $N_D = 5 \times 10^{15} \text{ cm}^{-3}$ in uno strato spesso 600 nm sotto la superficie. Si supponga anche che la giunzione pn canale-substrato sia in equilibrio in tutte le condizioni di polarizzazione. Il condensatore MOS è ideale rispetto al drogaggio n ($\Phi_{MS_s} = 0$).



- 1) Calcolare I_{DS} per $V_{DS} = 0.1$ V e $V_{GS} = 0$ V. [3]
- 2) Determinare la caduta di tensione nel silicio V_S , nonché la tensione V_{GS} , per cui si ha $I_{DS} = 0$. [4]
- 3) Calcolare I_{DS} per $V_{DS} = 0.1$ V e $V_{GS} = 2$ V (trascurare la caduta sulla giunzione pn). [3]

NOTA: questo esercizio riguarda un MOS a svuotamento, con canale pre-formato grazie al drogaggio con fosforo.

SOLUZIONE 2

- 1) La regione drogata n si comporta come un resistore, posto tra i due contatti di Source e di Drain. Avremo dunque:

$$R_{can} = \frac{1}{q\mu_n N_D} \frac{L}{W} \frac{1}{t_h}$$

$$V_0 = V_T \ln \frac{N_D N_A}{n_i^2} = 0.675$$

$$W_{pn} = \sqrt{\frac{2\epsilon_s}{q} \left(\frac{1}{N_A} + \frac{1}{N_D} \right) V_0} = 516 \text{ nm}$$

$$x_n = W_{pn} \frac{N_A}{N_D + N_A} = 344 \text{ nm}$$

$$t_h = 600 - x_n = 256 \text{ nm}$$

$$R_{can} = 6096 \text{ } \Omega$$

$$I_{DS} = \frac{V_{DS}}{R_{can}} = 16.4 \text{ } \mu\text{A}$$

- 2) La tensione V_{GS} per spingere la corrente è quella necessaria a svuotare il canale n , che è spesso 256 nm. Quindi avremo che la caduta di tensione nel silicio dovrà essere:

$$W = 256 \text{ nm}$$

$$W = \sqrt{\frac{2\epsilon_s}{qN_D} V_S}$$

$$V_S = \frac{W^2}{\frac{2\epsilon_s}{qN_D}} = 0.249 \text{ V}$$

Questo è il valore assoluto. La tensione $V_S = -0.249$, e quindi anche la tensione V_{GS} , deve essere negativa per svuotare la parte n .

$$V_{GS} = -\frac{Q_W}{C_{ox}} + V_S = -\frac{\sqrt{2\epsilon_s q N_D V_S}}{C_{ox}} + V_S$$

$$C_{ox} = \epsilon_{ox}/t_{ox} = 1.15 \times 10^{-3} \text{ F/m}^2$$

$$V_{GS} = -0.427 \text{ V}$$

3) Con queste condizioni di polarizzazione, il condensatore MOS è in accumulazione, poichè il substrato è n in prossimità dell'interfaccia ossido-silicio. Si accumulano dunque elettroni all'interfaccia ossido-silicio. La carica dovuta agli elettroni si può calcolare semplicemente come $Q_n = C_{ox} V_{GS}$, $C_{ox} = \epsilon_{ox}/t_{ox} = 1.15 \times 10^{-3}$ e quindi $Q_n = 2.3 \times 10^{-3} \text{ C/m}^2$. Avremo dunque:

$$I_{DS} = \frac{V_{DS}}{R_{can}} + \mu_n Q_n \frac{W}{L} V_{DS} = 0.1 \text{ mA} \quad (1)$$

ESERCIZIO 3

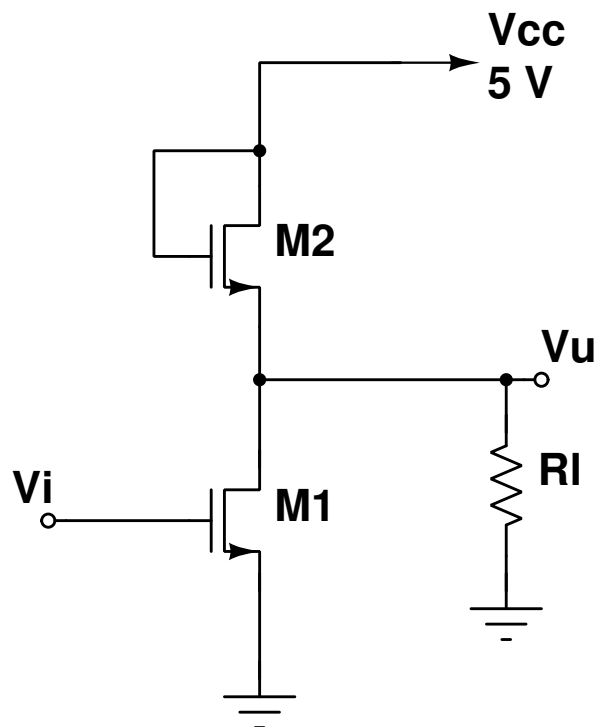
Un processo polysilicon gate per la fabbricazione di transistori n -MOS ($N_A = 10^{16} \text{ cm}^{-3}$, $\mu_n = 0.08 \text{ cm}^2/\text{Vs}$, gate in polisilicio di tipo p^+) è stato caratterizzato misurando dei condensatori MOS di test quadrati, con $W = L = 10 \text{ }\mu\text{m}$. La curva CV ha mostrato una capacità massima pari a 0.1151 pF , e il minimo della capacità è risultato per $V = 1 \text{ V}$.

1) Determinare il valore della capacità minima e la carica parassita all'interfaccia ossido-silicio. [4]

Con il processo in questione, viene realizzato il circuito in figura. Entrambi i transistori M1 e M2 hanno il substrato (bulk) connesso a massa. Per M1 abbiamo che $W/L = 5$.

2) Determinare W/L del transistore M2 in maniera tale da avere $V_u = 0.3 \text{ V}$ per $R_L = 10 \text{ k}\Omega$ e per $V_i = 5 \text{ V}$. [3]

3) Determinare il valore minimo di R_L (massimo carico in uscita) che permette di ottenere $V_u > 4$ V con $V_i = 0$. [3]



SOLUZIONE 3

1) Avremo che la capacità massima è pari a WLC_{ox} , quindi:

$$C_{ox} = \frac{1.151 \times 10^{-13}}{WL} = 1.151 \times 10^{-3}$$

$$t_{ox} = \frac{\epsilon_{ox}}{C_{ox}} = 30 \text{ nm}$$

La tensione di soglia, per cui si ha il valore minimo di capacità, è pari a $V_{TH} = 1$ V. La capacità minima risulta:

$$C_{Si} = \frac{\epsilon_{Si}}{W(2\psi_B)}$$

$$\psi_B = V_T \ln \frac{N_A}{n_i} = 0.347 \text{ V}$$

$$\begin{aligned}
W(2\psi_B) &= \sqrt{\frac{2\epsilon_s}{qN_A}} 2\psi_B = 0.302 \text{ } \mu\text{m} \\
C_{Si} &= 3.487 \times 10^{-4} \text{ F/m}^2 \\
C_{min} &= \frac{C_{ox}C_{Si}}{C_{ox} + C_{Si}} = 2.67 \times 10^{-4} \text{ F/m}^2 \\
C_{min} &= 0.027 \text{ pF}
\end{aligned}$$

Per la tensione di soglia avremo:

$$\begin{aligned}
V_{TH} &= \frac{\sqrt{2\epsilon_s q N_A 2\psi_B}}{C_{ox}} + 2\psi_B + \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} = 1 \text{ V} \\
Q_{ox} &= -C_{ox} \left(V_{TH} - \frac{\sqrt{2\epsilon_s q N_A 2\psi_B}}{C_{ox}} + 2\psi_B + \Phi_{MS} \right) \\
\Phi_{MS} &= \frac{E_G}{2q} - \psi_B = 0.213 \text{ V} \\
Q_{ox} &= 3.77 \times 10^{-4} \text{ C/m}^2
\end{aligned}$$

2) Il transistoro M_1 è polarizzato normalmente con $V_{GS} = V_{GB} = 5$ V. Si può considerare in zona lineare poiché V_{DS} è piccola, quindi $I_{DS1} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} = 0.552$ mA. La corrente che scorre nella resistenza di uscita è pari a $0.3/10 = 0.03$ mA, quindi avremo che $I_{DS2} = 0.582$ mA. Il transistoro 2 ha il substrato a massa, mentre $V_S = 0.3$ V. Quindi bisogna considerare l'effetto-body con $V_{SB} = 0.3$ V. Avremo:

$$V_{TH2} = V_{TH} - \frac{\sqrt{2\epsilon_s q N_A 2\psi_B}}{C_{ox}} + \frac{\sqrt{2\epsilon_s q N_A (2\psi_B + V_{SB})}}{C_{ox}} = 1.14 \text{ V} \quad (2)$$

Il transistoro M_2 è sicuramente in saturazione poiché $V_{DS} = V_{GS} > V_{GS} - V_{TH}$. Quindi avremo:

$$\begin{aligned}
I_{DS2} &= \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_G - V_S - V_{TH2})^2 = 0.582 \text{ mA} \\
\frac{W}{L} &= \frac{0.582 \times 10^{-3}}{\frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_G - V_S - V_{TH2})^2} \simeq 1
\end{aligned}$$

3) La domanda è ingannevole. Il transistoro M_1 è interdetto, poiché $V_i = V_{GS} = 0$. Se $V_u = V_S = 4$ V, allora $V_{GS} = 5 - 4 = 1$ V. Poiché $V_{TH} = 1$ V, senza considerare l'effetto Body, anche il transistoro M_2 è interdetto.