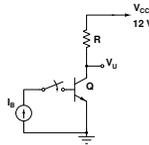


PROVA SCRITTA di DISPOSITIVI ELETTRONICI del 13 Giugno 2018

ESERCIZIO 1

In figura è rappresentato un circuito, basato su un transistor bipolare n^+pn^+ , $R = 2 \text{ k}\Omega$. Per il transistor abbiamo $N_{Abase} = 10^{16} \text{ cm}^{-3}$, $\mu_n = 0.1 \text{ m}^2/\text{Vs}$, $\tau_n = 10^{-6} \text{ s}$, $S = 1 \text{ mm}^2$. Trascurare le ampiezze delle regioni di svuotamento delle giunzioni polarizzate in diretta (con $V \geq 0$).

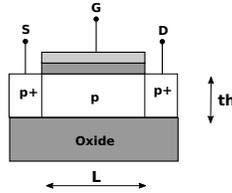


- 1) A tasto chiuso, e con $I_B = 10 \mu\text{A}$, è stata misurata $V_U = 4 \text{ V}$. Determinare il β_f e la lunghezza effettiva della base. [3]
- 2) Determinare V_{BE} e la lunghezza metallurgica della base. [3]
- 3) Si supponga $I_B = 60 \mu\text{A}$. Il tasto viene chiuso a $t = 0$ e viene riaperto a $t = 2t_{on}$. Determinare t_{on} e t_{sd} (t storage delay), nonché l'andamento della corrente di collettore. (NOTA: il β_f è diverso. Si facciano le considerazioni e le approssimazioni opportune). [4]

ESERCIZIO 2

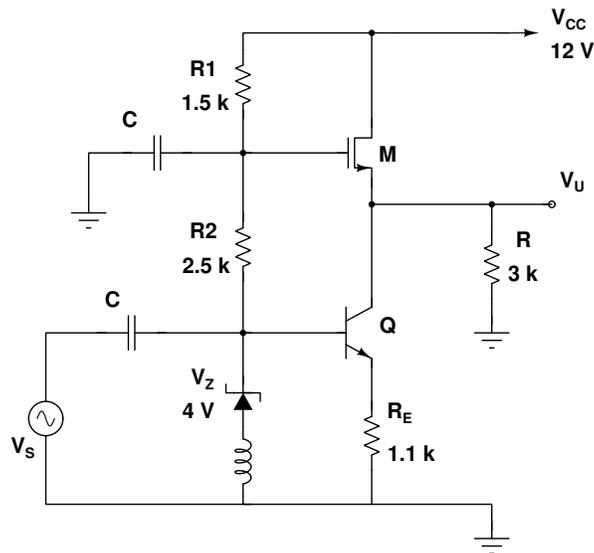
In figura è rappresentato un dispositivo fabbricato su un substrato Silicon On Insulator (SOI). Lo strato di silicio è spesso $t_h = 250 \text{ nm}$, ed è drogato $p = N_A = 10^{16} \text{ cm}^{-3}$, mobilità μ_p costante in tutto il canale e pari a $0.025 \text{ m}^2/\text{Vs}$. NOTA: i due pozzetti per i contatti di Source e di Drain sono drogati p^+ . La distanza L dei due pozzetti è pari a $5 \mu\text{m}$ (disegno non in scala) e la larghezza W del dispositivo è pari a $10 \mu\text{m}$. Il condensatore MOS è ideale, ed è realizzato con uno spessore di ossido $t_{ox} = 30 \text{ nm}$. Si considerino bande piatte in basso, all'interfaccia silicio-ossido del substrato. Il dispositivo è polarizzato con $V_{DS} = 0.1 \text{ V}$ (regime lineare).

- 1) Si determini la corrente I_{DS} per $V_{GS} = 0 \text{ V}$. Si determini la carica nel canale, la resistenza del canale e la corrente per $V_{GS} = -5 \text{ V}$. [4]
- 2) Si determini la corrente I_{DS} per $V_{GS} = V_{TH}/2$. SUGGERIMENTO: calcolare la regione di svuotamento del canale. [3]
- 3) Si determini la corrente I_{DS} per $V_{GS} = 5 \text{ V}$. [3]



ESERCIZIO 3

Nel circuito in figura, il transistorore M è un n -MOS con gate in polisilicio di tipo p^+ , $t_{ox} = 30 \text{ nm}$, $\mu_n = 0.075 \text{ m}^2/\text{Vs}$, $N_A = 10^{16} \text{ cm}^{-3}$. $W/L = 36$. Il transistorore Q è un n^+pn con $\beta_{f\text{minimo}} = 300$.



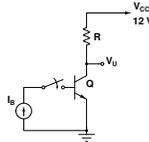
1) Il transistorore M è stato caratterizzato prima di essere inserito nel circuito. Per $V_{GS} = 5 \text{ V}$ è stata misurata una resistenza di canale, per piccole V_{DS} , pari a 84.75Ω . Determinare la tensione di soglia V_{TH} , la carica nell'ossido e la concentrazione di ioni sodio, all'interfaccia ossido-silicio.[3]

2) Determinare il punto di riposo dei transistori e la tensione di uscita V_u . [4]

3) Determinare il valore di W/L del transistorore M per cui il transistorore Q è al limite della saturazione ($V_{CB} \simeq 0 \text{ V}$). [3]

ESERCIZIO 1

In figura è rappresentato un circuito, basato su un transistor bipolare n^+pn^+ , $R = 2 \text{ k}\Omega$. Per il transistor abbiamo $N_{Abase} = 10^{16} \text{ cm}^{-3}$, $\mu_n = 0.1 \text{ m}^2/\text{Vs}$, $\tau_n = 10^{-6} \text{ s}$, $S = 1 \text{ mm}^2$. Trascurare le ampiezze delle regioni di svuotamento delle giunzioni polarizzate in diretta (con $V \geq 0$).



- 1) A tasto chiuso, e con $I_B = 10 \text{ }\mu\text{A}$, è stata misurata $V_U = 4 \text{ V}$. Determinare il β_f e la lunghezza effettiva della base. [3]
- 2) Determinare V_{BE} e la lunghezza metallurgica della base. [3]
- 3) Si supponga $I_B = 60 \text{ }\mu\text{A}$. Il tasto viene chiuso a $t = 0$ e viene riaperto a $t = 2t_{on}$. Determinare t_{on} e t_{sd} (t storage delay), nonché l'andamento della corrente di collettore. (NOTA: il β_f è diverso. Si facciano le considerazioni e le approssimazioni opportune). [4]

SOLUZIONE 1

- 1) La tensione di uscita è V_{CE} , e possiamo determinare subito I_C e β_f :

$$I_C = \frac{V_{CC} - V_{CE}}{R} = 4 \text{ mA}$$

$$\beta_f = \frac{I_C}{I_B} = 400$$

Poichè β_f è legato al tempo di transito τ_t , $\beta_f = \tau_n/\tau_t$, e quindi alla lunghezza effettiva di base W , avremo:

$$\beta_f = \frac{\tau_n}{\tau_t}$$

$$\tau_t = \frac{\tau_n}{\beta_f} = 2.5 \text{ ns} = \frac{W^2}{2D_n}$$

$$D_n = V_T \mu_n = 2.59 \times 10^{-3}$$

$$W = \sqrt{2D_n \tau_t} = 3.6 \text{ }\mu\text{m}$$

2) Per determinare V_{BE} possiamo scrivere:

$$\begin{aligned}
 I_B &= \frac{Q}{\tau_n} = qS\delta n(0)\frac{W}{2}\frac{1}{\tau_n} \\
 \delta n(0) &= \frac{n_i^2}{N_{Abase}} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) = \frac{2I_B\tau_n}{qSW} = 3.47 \times 10^{19} \text{ m}^{-3} \\
 V_{BE} &= V_T \ln \left(\frac{\delta n(0)N_{Abase}}{n_i^2} \right) = 0.55 \text{ V}
 \end{aligned}$$

Per calcolare la lunghezza metallurgica della base dobbiamo calcolare l'ampiezza della regione di svuotamento base-collettore, polarizzata in inversa con $V_{CB} = V_{CE} - V_{BE} = 3.45 \text{ V}$:

$$\begin{aligned}
 V_{0BC} &= V_T \ln \left(\frac{N_{Abase}N_{Dcollettore}}{n_i^2} \right) = 0.873 \text{ V} \\
 W_{BC} &= \sqrt{\frac{2\epsilon_S}{qN_{Abase}} (V_{0BC} + V_{CB})} = 0.75 \text{ } \mu\text{m} \\
 W_{metallurgica} &= W + W_{BC} = 4.35 \text{ } \mu\text{m}
 \end{aligned}$$

Ricordiamo che il collettore è fortemente drogato, quindi la regione di svuotamento W_{BC} si estende tutta nella base.

3) Con $I_B = 60 \text{ } \mu\text{A}$ il transistor è sicuramente in saturazione (a regime). Infatti avremo $I_C = \beta_f I_B = 24 \text{ V}$, che è superiore alla tensione di alimentazione $V_{CC} = 12 \text{ V}$. Essendo in saturazione, o al limite della zona attiva diretta con $V_{CE} = V_{BE}$, $V_{CB} = 0$, calcoliamo il β_f con la lunghezza metallurgica della base.

$$\beta_f = \frac{\tau_n}{\frac{W_{met}^2}{2D_n}} = 274 \quad (1)$$

Anche con questo valore il transistor risulta in saturazione. La corrente di collettore cresce esponenzialmente seguendo la legge:

$$I_C(t) = \frac{Q(t)}{\tau_t} \quad (2)$$

finchè il transistor non arriva al limite della zona attiva diretta a $t = t_{on}$, per cui $V_{CE}(t) = V_{BE}(t)$, $V_{CB}(t) = 0$, per cui si ha $I_C(t) \simeq I_{Cmax} = V_{CC}/R = 6$

mA. Quindi:

$$\begin{aligned} Q(t) &= I_B \tau_n \left(1 - e^{-\frac{t}{\tau_n}}\right) \\ I_C(t) &= \frac{Q(t)}{\tau_t} \\ V_U(t) &= V_{CC} - R I_C(t) \end{aligned}$$

È immediato calcolare t_{on} :

$$t_{on} = \tau_n \ln \frac{1}{1 - \frac{I_{Cmax}}{\beta_f I_B}} = 0.45 \text{ } \mu\text{s} \quad (3)$$

Al tempo $2t_{on}$ la carica $Q(2t_{on})$ ha raggiunto valore di:

$$Q(2t_{on}) = I_B \tau_n \left(1 - e^{-\frac{2t_{on}}{\tau_n}}\right) = 3.58 \times 10^{-11} \text{ s}$$

Per $t > 2t_{on}$ inizia il transitorio di spengimento. Tuttavia, il transistor non è a regime, quindi la scarica non inizia con $Q = I_B \tau_n$. La carica iniziale per il transistor di spengimento è $Q(2t_{on})$. Traslando l'asse dei tempi in t_{on} ($t = 0$ a t_{on}) possiamo scrivere per $Q(t)$:

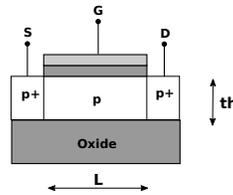
$$Q(t) = Q(2t_{on}) e^{-\frac{t}{\tau_n}}$$

Lo storage delay time è il tempo per cui il transistor arriva al limite della saturazione, per cui:

$$\begin{aligned} \frac{Q(t_{sd})}{\tau_t} &= I_{Cmax} \\ Q(2t_{on}) e^{-\frac{t_{sd}}{\tau_n}} &= I_{Cmax} \tau_t \\ t_{sd} &= \tau_n \ln \frac{Q(2t_{on})}{I_{Cmax} \tau_t} \\ \tau_t &= \frac{W_{met}^2}{2D_n} = 3.65 \text{ ns} \\ t_{sd} &= 0.49 \text{ } \mu\text{s} \end{aligned}$$

ESERCIZIO 2

In figura è rappresentato un dispositivo fabbricato su un substrato Silicon On Insulator (SOI). Lo strato di silicio è spesso $t_h = 250$ nm, ed è drogato $p = N_A = 10^{16}$ cm⁻³, mobilità μ_p costante in tutto il canale e pari a 0.025 m²/Vs. NOTA: i due pozzetti per i contatti di Source e di Drain sono drogati p^+ . La distanza L dei due pozzetti è pari a 5 μ m (disegno non in scala) e la larghezza W del dispositivo è pari a 10 μ m. Il condensatore MOS è ideale, ed è realizzato con uno spessore di ossido $t_{ox} = 30$ nm. Si considerino bande piatte in basso, all'interfaccia silicio-ossido del substrato. Il dispositivo è polarizzato con $V_{DS} = 0.1$ V (regime lineare).



- 1) Si determini la corrente I_{DS} per $V_{GS} = 0$ V. Si determini la carica nel canale, la resistenza del canale e la corrente per $V_{GS} = -5$ V.[4]
- 2) Si determini la corrente I_{DS} per $V_{GS} = V_{TH}/2$. SUGGERIMENTO: calcolare la regione di svuotamento del canale. [3]
- 3) Si determini la corrente I_{DS} per $V_{GS} = 5$ V. [3]

SOLUZIONE 2

1) Per $V_{GS} = 0$ il dispositivo si comporta come un resistore lungo L e di sezione Wt_h :

$$R = \frac{1}{q\mu_p p} \frac{L}{Wt_h} = 50 \text{ k}\Omega$$

$$I_{DS} = \frac{V_{DS}}{R} = 2 \text{ }\mu\text{A}$$

Per $V_{GS} = 5$ V il condensatore MOS è in saturazione, con una carica per unità di superficie $Q = C_{ox} |V_{GS}|$ dovuta alle lacune. Questa carica contribuisce alla conduzione tra le due regioni p^+ che definiscono il Source ed il Drain:

$$R_{canale} = \frac{1}{\mu_p Q} \frac{L}{W} = \frac{1}{\mu_p C_{ox} |V_{GS}|} \frac{L}{W}$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = 1.15 \times 10^{-3} \text{ C/m}^2$$

$$R_{canale} = 3478 \text{ } \Omega$$

Questa resistenza di canale è in parallelo a quella dovuta al silicio, ed essendo molto piccola è quella prevalente. Avremo dunque $I_{DS} = V_{DS}/R_{canale} = 28.7 \text{ } \mu\text{A}$.

2) Calcoliamo anzitutto la tensione di soglia:

$$\psi_B = V_T \ln \frac{N_A}{n_i} = 0.347$$

$$V_{TH} = \frac{\sqrt{2\epsilon_s q N_A 2\psi_B}}{C_{ox}} + 2\psi_B = 1.11 \text{ V}$$

Sotto il gate non ci sono cariche mobili poiché siamo in svuotamento. Per calcolare la regione di svuotamento per $V_{GS} = V_{TH}/2$ dobbiamo calcolare la caduta di tensione nel silicio V_S , impostando l'equazione:

$$0.555 = \frac{\sqrt{2\epsilon_s q N_A V_S}}{C_{ox}} + V_S \quad (4)$$

Risolvendo l'equazione otteniamo, come valore accettabile, $V_S = 0.2855$. La resistenza si modifica, poiché il canale adesso non è più spesso t_h ma si è ridotto della regione di svuotamento dovuta a V_S :

$$W_{canale}(V_S) = \sqrt{\frac{2\epsilon_s}{qN_A} V_S} = 194 \text{ nm}$$

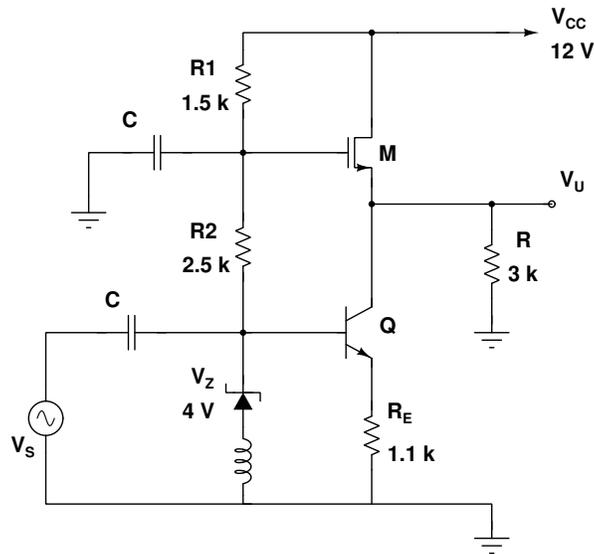
$$R = \frac{1}{q\mu_p p} \frac{L}{W \left(t_h - \sqrt{\frac{2\epsilon_s}{qN_A} V_S} \right)} = 223 \text{ k}\Omega$$

$$I_{DS} = \frac{V_{DS}}{R} = 0.45 \text{ } \mu\text{A}$$

3) Per $V_{GS} > V_{TH}$ la caduta di tensione nel silicio è pari a $2\psi_B$ ed è facile verificare che la regione di svuotamento nel canale sotto il Gate è maggiore dello spessore del silicio, che risulta quindi tutto svuotato di lacune. Il canale di elettroni non contribuisce alla conduzione tra i due pozzetti p^+ , quindi la corrente è zero.

ESERCIZIO 3

Nel circuito in figura, il transistore M è un n -MOS con gate in polisilicio di tipo p^+ , $t_{ox} = 30$ nm, $\mu_n = 0.075$ m²/Vs, $N_A = 10^{16}$ cm⁻³. $W/L = 36$. Il transistore Q è un n^+pn con $\beta_{fminimo} = 300$.



1) Il transistore M è stato caratterizzato prima di essere inserito nel circuito. Per $V_{GS} = 5$ V è stata misurata una resistenza di canale, per piccole V_{DS} , pari a 84.75Ω . Determinare la tensione di soglia V_{TH} , la carica nell'ossido e la concentrazione di ioni sodio, all'interfaccia ossido-silicio.[3]

2) Determinare il punto di riposo dei transistori e la tensione di uscita V_u . [4]

3) Determinare il valore di W/L del transistore M per cui il transistore Q è al limite della saturazione ($V_{CB} \simeq 0$ V). [3]

SOLUZIONE 3

1) Avremo:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = 1.15 \times 10^{-3} \text{ F/m}^2$$

$$R = \frac{1}{\mu_n C_{ox} (V_{GS} - V_{TH})}$$

Da cui si ricava $V_{TH} = 1.2$ V. Dall'espressione della V_{TH} possiamo ricavarci Q_{ox} :

$$\begin{aligned}\psi_B &= V_T \ln \frac{N_A}{n_i} = 0.347 \text{ V} \\ \Phi_{MS} &= \frac{E_g}{2q} - \psi_B = 0.213 \text{ V} \\ V_{TH} &= \frac{\sqrt{2\epsilon_s q N_A 2\psi_B}}{C_{ox}} + 2\psi_B + \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} \\ V_{TH} &= 2.02 - \frac{Q_{ox}}{C_{ox}} \\ Q_{ox} &= C_{ox}(1.33 - V_{TH}) = 1.47 \times 10^{-4} \text{ C/m}^2 \\ [N_A^+] &= \frac{Q_{ox}}{q} = 9.18 \times 10^{14} \text{ ioni/m}^2\end{aligned}$$

2) Supponendo lo zener correttamente polarizzato, la tensione di base è pari a $V_B = 4$ V, la tensione di emettitore è $V_B - 0.7 = 3.3$ V e quindi $I_E = 3$ mA $\simeq I_C$. Per il MOS avremo ($V_S = V_U$):

$$\begin{aligned}V_G &= V_Z + (V_{CC} - V_Z) \frac{R_2}{R_2 + R_1} = 9 \text{ V} \\ I_{DS} &= I_C + \frac{V_S}{R} \\ I_C + \frac{V_S}{R} &= \frac{\mu_n C_{ox} W}{2 L} (V_G - V_S - V_{TH})^2 \\ I_C + \frac{V_S}{R} &= \frac{\mu_n C_{ox} W}{2 L} (7.8 - V_S)^2\end{aligned}$$

Risolvendo questa equazione otteniamo $V_S = V_U = 6$ V, $I_{DS} = 5$ mA. Quindi avremo che il transistore MOS è in saturazione, poiché $V_{DS} = V_{CC} - V_U = 6$ V $> V_{GS} - V_{TH} = 3 - 1.8 = 1.2$ V. Il transistore bipolare è polarizzato in zona attiva diretta, avendo $V_{CE} = 6 - 3.3 = 2.7$ V. Lo zener è polarizzato poiché $I_{R1R2} = 2$ mA $\simeq I_Z$ poiché $I_{Bmax} = I_C / \beta_{Fmin} = 10 \mu$ A.

3) Il bipolare è al limite della saturazione quando $V_{CB} = 0$, che significa $V_{CE} = V_{BE} \simeq 0.7$, quindi $V_C = V_U = V_S \simeq 4$ V. Avremo $I_{DS} = I_C + V_U / R =$

4.33 mA, $V_{GS} = 5$ V e quindi dalla relazione:

$$I_{DS} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (5)$$

possiamo ricavare $W/L = 7$.