

DE e DTE: PROVA SCRITTA DEL 7 Gennaio 2013

ESERCIZIO 1 (DE,DTE) Un condensatore MOS è realizzato su substrato p , $N_A = 10^{16} \text{ cm}^{-3}$, $t_{ox} = 50 \text{ nm}$. A metà dell'ossido (a $t_{ox}/2$) viene introdotto uno strato molto sottile (spessore trascurabile) di difetti, che cattura elettroni per una certa carica totale Q (Coulomb/m²). (Condensatore MOS ideale per $Q = 0$).

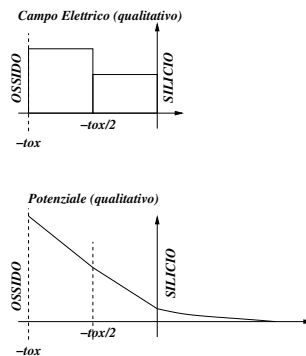
1) Per un dato valore di ψ_s e di Q , disegnare l'andamento qualitativo del campo elettrico e del potenziale nell'ossido (SUGGERIMENTO: applicare il teorema di Gauss). [4]

2) Determinare l'espressione della V_{GS} in funzione di Q e di Ψ_s . [3]

3) Determinare Q necessaria per ottenere $V_{TH} = 5 \text{ V}$. [3]

SOLUZIONE 1

1) Applicando il teorema di Gauss, il campo elettrico è costante tra l'interfaccia ossido-silicio e la metà dell'ossido, e pari a $Q_{Si}(\psi_s)/\epsilon_{ox}$. Poi subisce una discontinuità (spessore trascurabile) dovuta a Q ed aumenta a $(Q_{Si}(\psi_s) + Q)/\epsilon_{ox}$. Il potenziale si comporta di conseguenza, come rappresentato in figura.



2) Seguendo gli stessi ragionamenti per il calcolo di V_{GS} in un condensatore MOS otteniamo che V_{GS} è pari a ψ_s più l'integrale del campo elettrico

nell'ossido:

$$V_{GS} = \psi_S - \frac{Q_{Si}(\psi_s)}{\epsilon_{ox}} t_{ox} - \frac{Q}{\epsilon_{ox}} \frac{t_{ox}}{2} \quad (1)$$

Sia $Q_{Si}(\psi_s)$ che Q sono negative (Q è dovuta agli elettroni), quindi avremo ($Q_{Si} = -\sqrt{2\epsilon_s q N_A \psi_s}$):

$$V_{GS} = \frac{\sqrt{2\epsilon_s q N_A \psi_s}}{C_{ox}} + \psi_S + \frac{|Q|}{2C_{ox}} \quad (2)$$

3) Per $V_{GS} = V_{TH}$ avremo che deve essere $\psi_s = 2\psi_B = V_T \ln(N_A/n_i) = 0.347$:

$$V_{TH} = \frac{\sqrt{2\epsilon_s q N_A 2\psi_B}}{C_{ox}} + 2\psi_B + \frac{|Q|}{2C_{ox}} \quad (3)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = 6.9 \times 10^{-4} \quad \text{C/m}^2 \quad V_{THid} = \frac{\sqrt{2\epsilon_s q N_A 2\psi_B}}{C_{ox}} + 2\psi_B = 1.39 \quad \text{V} \quad (4)$$

$$Q = 2C_{ox} (V_{TH} - V_{THid}) = 5 \times 10^{-3} \quad \text{C/m}^2 \quad (5)$$

Ovviamente questo è il valore assoluto di Q , che è negativa perchè dovuta agli elettroni.

ESERCIZIO 2 (DE,DTE) Un transistor bipolare n^+pn a base corta, $S = 1 \text{ mm}^2$, drogaggi costanti $N_{Abase} = N_{DCollettore} = 10^{16} \text{ cm}^{-3}$, $\mu_n = 0.1 \text{ m}^2/\text{Vs}$, $\tau_n = 10^{-6} \text{ s}$, è polarizzato con $V_{CB} = 5 \text{ V}$. Sono state misurate le correnti ai terminali: $I_B = 10 \text{ }\mu\text{A}$, $I_C = 5 \text{ mA}$.

1) Determinare la lunghezza effettiva e metallurgica della base (nel calcolo della lunghezza metallurgica trascurare la regione di svuotamento base-emettitore). [3]

2) Determinare V_{BE} (usare il modello a controllo di carica).[3]

3) Trascurando l'effetto capacitivo dei portatori iniettati, determinare le capacità differenziali C_{BE} e C_{BC} . [4]

SOLUZIONE 2

1) Dalle correnti di polarizzazione è possibile calcolare α_F e quindi W_{eff} . Dalla tensione base-collettore è possibile determinare la regione di svuotamento e quindi la W_{met} . Svolgendo i conti:

$$I_E = I_C + I_B = 5.01 \quad \text{mA} \quad (6)$$

$$\alpha_F = \frac{I_C}{I_E} = 5/5.01 = 0.998004 \quad (7)$$

Conoscendo l'espressione di α_F :

$$\alpha_F = \frac{1}{1 + \frac{W_{eff}^2}{2L_n^2}} \quad (8)$$

$$L_n = \sqrt{D_n \tau_n} = \sqrt{V_T \mu_n \tau_n} = 50.79 \quad \mu\text{m} \quad (9)$$

Svolgendo alcuni semplici passaggi si ricava:

$$W_{eff} = L_n \sqrt{2 \left(\frac{1}{\alpha_F} - 1 \right)} \quad (10)$$

$$W_{eff} = 3.2 \quad \mu\text{m} \quad (11)$$

La regione di svuotamento base-collettore si determina dai dati:

$$V_{0BC} = V_T \ln \left(\frac{N_A N_D}{n_i^2} \right) = 0.695 \quad \text{V} \quad (12)$$

$$W_{BC} = \sqrt{\frac{2\epsilon_s}{q} (V_0 + V_{BC}) \left(\frac{1}{N_A} + \frac{1}{N_D} \right)} = 1.22 \quad \mu\text{m} \quad (13)$$

e quindi:

$$W_{met} = W_{eff} + \frac{W_{BC}}{2} = 3.8 \quad \mu\text{m} \quad (14)$$

2) La tensione di polarizzazione base-emettitore V_{BE} determina la carica immagazzinata in base. Assumendo il profilo di portatori minoritari in base triangolare:

$$Q = qS \frac{n_i^2}{N_{Abase}} e^{\frac{V_{BE}}{V_T}} \frac{W_{eff}}{2} \quad (15)$$

Dal modello a controllo di carica è possibile determinare Q :

$$I_B = \frac{Q}{\tau_n} \quad (16)$$

$$I_B = qS \frac{n_i^2}{N_{Abase}} e^{\frac{V_{BE}}{V_T}} \frac{W_{eff}}{2\tau_n} \quad (17)$$

Da cui si ricava:

$$V_{BE} = V_T \ln \left(\frac{I_B N_{Abase}}{qS} \frac{2\tau_n}{n_i^2 W_{eff}} \right) = 0.55 \quad \text{V} \quad (18)$$

3) Le capacità differenziali base-emettitore e base-collettore sono quelle dovute alle regioni di svuotamento (in questo caso NON si trascura la regione di svuotamento base-emettitore).

La regione di svuotamento base-emettitore è dovuta a V_{BE} .

$$V_{0BE} = V_T \ln \left(\frac{N_A 10^{19}}{n_i^2} \right) = 0.873 \quad \text{V} \quad (19)$$

$$W_{BE} = \sqrt{\frac{2\epsilon_s}{qN_A} (V_{0BE} - V_{BE})} = 0.21 \quad \mu\text{m} \quad (20)$$

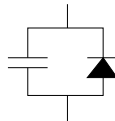
E quindi:

$$C_{BE} = S \frac{\epsilon_s}{W_{BE}} = 502 \quad \text{pF} \quad (21)$$

La regione di svuotamento W_{BC} è già stata calcolata al punto 1. Avremo:

$$C_{BC} = S \frac{\epsilon_s}{W_{BC}} = 86 \quad \text{pF} \quad (22)$$

ESERCIZIO 3 (DTE) La porzione di circuito mostrata in figura viene realizzata con un processo SBC in un'unica well di isolamento (senza passi aggiuntivi rispetto a quelli standard).

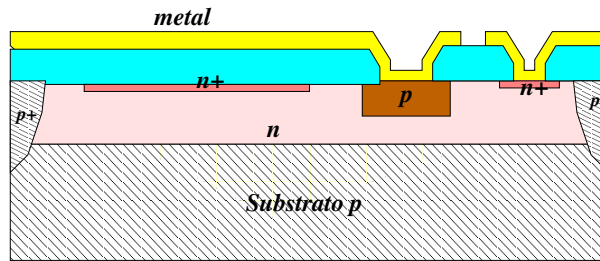


1) Si disegni una sezione dei due dispositivi interconnessi e si illustrino i passi di processo necessari per la loro realizzazione (seguendo il processo SBC usuale). Disegnare le maschere per la realizzazione dei due dispositivi. [6]

2) Assumendo dei valori accettabili per i parametri necessari, determinare la superficie del condensatore, dimensionando la maschera relativa, per ottenere una capacità di 50 pF.[4]

SOLUZIONE 3

1) Una possibile realizzazione è mostrata nella figura. Il diodo viene realizzato mediante la diffusione di base (giunzione base-collettore), mentre l'armatura inferiore del condensatore è realizzata mediante la diffusione n^+ che serve per realizzare il contatto di collettore. L'armatura superiore è realizzata con la metal di interconnessione. Il processo è quello standard



SBC (vedi dispense) e le maschere vengono disegnate di conseguenza.

2) Assumendo uno spessore dell'ossido di isolamento pari a 500 nm (valore accettabile) avremo:

$$C = \frac{\epsilon_{ox}}{t_{ox}} = 6.9 \times 10^{-5} \quad \text{F/m}^2 \quad (23)$$

Quindi la superficie del condensatore necessaria per ottenere 50 pF risulta:

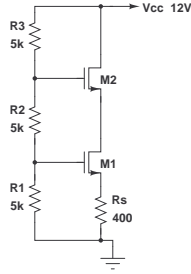
$$S = \frac{50 \times 10^{-12}}{6.9 \times 10^{-5}} = 7.2 \times 10^{-7} \quad \text{m}^2 \quad (24)$$

La maschera per la realizzazione dell'armatura superiore può essere di qualsiasi forma, per esempio quadrata di lato 850 μm . Notare l'enorme superficie richiesta, rispetto alle dimensioni usuali dei componenti integrati.

ESERCIZIO 4 (DE) In un processo n -MOS polysilicon gate ($N_A = 10^{16} \text{ cm}^{-3}$, $\mu_n = 0.08 \text{ m}^2/\text{Vs}$) è stata trovata una concentrazione di cariche positive all'interfaccia ossido silicio pari a 10^{11} cariche elementari per cm^2 .

1) Determinare lo spessore dell'ossido necessario per ottenere una $V_{TH} = 1 \text{ V}$. [5]

2) Sia dato il circuito in figura, realizzato con il processo descritto sopra. Per il MOS M_1 avremo: $W_1/L_1 = 5$. Determinare W_2/L_2 in maniera tale che M_1 sia in saturazione. (SUGGERIMENTO: determinare la corrente I_{DS} facendo l'ipotesi che M_1 sia in saturazione).[5]



SOLUZIONE 4

1) Il gate è di polisilicio di tipo $n+$, poichè usualmente il gate viene drogato insieme ai pozzetti di drain e di source. Avremo:

$$\psi_B = V_T \ln \left(\frac{N_A}{n_i} \right) = 0.347 \quad \text{V} \quad (25)$$

$$\phi_{MS} = E_g/2q + \psi_B = 0.93 \quad \text{V} \quad (26)$$

$$V_{TH} = \frac{\sqrt{2\epsilon_s q N_A 2\psi_B}}{C_{ox}} + 2\psi_B - |\phi_{MS}| - \frac{Q}{C_{ox}} \quad (27)$$

La carica $Q = 10^{11}q = 1.602 \cdot 10^{-8} \text{ C/cm}^2 = 1.602 \cdot 10^{-4} \text{ C/m}^2$. Avremo dunque:

$$C_{ox} = \frac{\sqrt{2\epsilon_s q N_A 2\psi_B} - Q}{V_{TH} - 2\psi_B + |\phi_{MS}|} = 2.61 \times 10^{-4} \quad \text{F/m}^2 \quad (28)$$

e quindi:

$$t_{ox} = \frac{\epsilon_{ox}}{C_{ox}} = 132 \quad \text{nm} \quad (29)$$

2) Il partitore in ingresso impone le tensioni ai due gates $V_{G1} = 4 \text{ V}$ e $V_{G2} = 8 \text{ V}$. Risolvendo per determinare V_{S1} avremo:

$$I_{DS} = \frac{\mu_n C_{ox} W_1}{2 L_1} (V_{G1} - V_{S1} - V_{TH})^2 \quad (30)$$

$$\frac{V_{S1}}{R_S} = \frac{\mu_n C_{ox}}{2} \frac{W_1}{L_1} (V_{G1} - V_{S1} - V_{TH})^2 \quad (31)$$

$$V_{S1} = 0.167 \quad \text{V} \quad (32)$$

$$I_{DS} = 0.418 \quad \text{mA} \quad (33)$$

A questo punto dobbiamo imporre che la $V_{DS1} > V_{GS1} - V_{TH}$ per avere la saturazione di M_1 . Quindi risolvendo per l'uguaglianza:

$$V_{DS1} = V_{GS1} - V_{TH} \quad (34)$$

$$V_{D1} = V_{GS1} - V_{TH} + V_{S1} = 3 \quad \text{V} \quad (35)$$

$$V_{D1} = V_{S2} \quad (36)$$

Il valore di V_{D1} fissa il valore di V_{S2} poichè sono lo stesso punto. A questo punto possiamo determinare W_2/L_2 affinchè la corrente sia la stessa:

$$I_{DS} = \frac{\mu_n C_{ox}}{2} \frac{W_2}{L_2} (V_{G2} - V_{S2} - V_{TH})^2 \quad (37)$$

$$\frac{W_2}{L_2} = \frac{I_{DS}}{\frac{\mu_n C_{ox}}{2} (V_{G2} - V_{S2} - V_{TH})^2} = 2.5 \quad (38)$$

Quindi $\frac{W_2}{L_2}$ deve essere maggiore di 2.5 (almeno 3 se si considerano solo valori interi) per garantire una $V_{S2} = V_{D1}$ tale che il MOS 1 sia in saturazione. Da notare che il MOS 2 è sicuramente in saturazione.