

DE e DTE: PROVA SCRITTA DEL 22 Gennaio 2012

ESERCIZIO 1 (DE,DTE) Un processo per la realizzazione di transistori n -MOS è caratterizzato da: $N_A = 10^{16} \text{ cm}^{-3}$, $\mu_{n\text{-canale}} = 800 \text{ cm}^2/\text{Vs}$, $\mu_{n\text{-bulk}} = 1000 \text{ cm}^2/\text{Vs}$, $t_{ox} = 50 \text{ nm}$, $\tau_n = 10^{-6} \text{ s}$, polysilicon gate di tipo p^+ . Il processo non è perfetto ed in particolare l'ossido di gate presenta una carica residua dovuta agli ioni sodio. Per caratterizzare il processo, è stata misurata la resistenza di quadro per piccole V_{DS} su dei transistori di test, applicando una tensione di gate di $V_{GS} = 3 \text{ V}$ e ottenendo $R = 4500 \text{ } \Omega/\text{quadro}$.

1) Determinare la concentrazione di ioni sodio nell'ossido di gate, considerandoli concentrati all'interfaccia ossido-silicio. [5]

2) Uno dei transistori realizzati, con $W/L = 1$, viene polarizzato con $V_{DS} = -0.6 \text{ V}$ (regime lineare) e viene misurata una corrente di 0.3 mA . Calcolare l'area del contatto drain-substrato. [5]

SOLUZIONE 1

1)Essendo il Gate di polisilicio drogato di tipo p^+ :

$$\begin{aligned}\psi_B &= \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) = 0.347 \quad \text{V} \\ \Phi_{MS} &= \frac{E_g}{2q} - \psi_B = 0.193 \quad \text{V}\end{aligned}$$

La Φ_{MS} è positiva, e va ad aumentare la tensione di soglia, che risulta (senza carica nell'ossido):

$$\begin{aligned}C_{ox} &= \frac{\epsilon_{ox}}{t_{ox}} = 6.906 \times 10^{-4} \quad \text{F/m}^2 \\ V_{THo} &= \frac{\sqrt{2\epsilon_s q N_A 2\psi_B}}{C_{ox}} + 2\psi_B + |\Phi_{MS}| = 1.59 \quad \text{V}\end{aligned}$$

La misura della resistenza di quadro (resistenza di canale per piccole V_{DS} con $W/L = 1$ ad una data $V_{GS} > V_{TH}$) è una misura indiretta della V_{TH} reale:

$$R = \frac{1}{\mu_n C_{OX} (V_{GS} - V_{TH})}$$

e quindi:

$$\begin{aligned} V_{GS} - V_{TH} &= \frac{1}{R \mu_n C_{OX}} = 4.02 \quad \text{V} \\ V_{TH} &= -1.02 \quad \text{V} \end{aligned}$$

La tensione di soglia risulta negativa per la presenza di cariche nell'ossido. Infatti l'espressione della tensione di soglia con carica all'interfaccia ossido-silicio positivo risulta:

$$V_{TH} = \frac{\sqrt{2\varepsilon_s q N_A 2\psi_B}}{C_{ox}} + 2\psi_B + |\Phi_{MS}| - \frac{Q_{ox}}{C_{ox}} = V_{THo} - \frac{Q_{ox}}{C_{ox}}$$

da cui si ricava Q_{ox} :

$$\begin{aligned} \frac{Q_{ox}}{C_{ox}} &= V_{THo} - V_{TH} = 1.59 - (-1.02) = 2.61 \quad \text{V} \\ Q_{ox} &= C_{ox} (V_{THo} - V_{TH}) = 1.80 \times 10^{-3} \quad \text{C/m}^2 \\ [N_a^+] &= \frac{Q_{ox}}{q} = 1.12 \times 10^{16} \quad \text{ioni/m}^2 \end{aligned}$$

2) Nel caso di V_{DS} negativa, il diodo dovuto alla giunzione drain substrato entra in conduzione. La corrente dovuta al canale del MOS sarà data da (assumendo il regime lineare e $W/L = 1$ come indicato nel testo):

$$I_{DS\text{-canale}} = \frac{V_{DS}}{R} = 0.13 \quad \text{mA}$$

La corrente dovuta alla giunzione sarà dunque: $I_{DS\text{-giunzione}} = 0.3 - 0.13 = 0.17$ mA. Avremo dunque:

$$\begin{aligned} I_{DS\text{-giunzione}} &= q S_{\text{drain-subst}} \frac{D_n}{L_n} \frac{n_i^2}{N_A} e^{\frac{V_{DS}}{V_T}} \\ S_{\text{drain-subst}} &= \frac{I_{DS\text{-giunzione}}}{q \frac{D_n}{L_n} \frac{n_i^2}{N_A} e^{\frac{V_{DS}}{V_T}}} \end{aligned}$$

dove:

$$\begin{aligned} D_n &= \frac{kT}{q} \mu_n = 2.59 \times 10^{-3} \\ L_n &= \sqrt{D_n \tau_n} = 50.89 \quad \mu\text{m} \end{aligned}$$

Svolgendo i conti otteniamo:

$$S_{\text{drain-subst}} = 8 \times 10^{-9} \quad \text{m}^2$$

ESERCIZIO 2 (DE,DTE) Un transistor bipolare n^+pn ($N_{\text{Abase}} = N_{\text{Dcollettore}} = 10^{16} \text{ cm}^{-3}$, $N_{\text{Demettitore}} = 10^{19} \text{ cm}^{-3}$, $W_{\text{met}} = 3 \text{ }\mu\text{m}$, $\tau_n = \tau_p = 10^{-6} \text{ s}$, $\mu_n = 1000 \text{ cm}^2/\text{Vs}$, $S = 1 \text{ mm}^2$) è polarizzato con $V_{BE} = 0.6 \text{ V}$ e $V_{CE} = 0.1 \text{ V}$.

1) Calcolare la corrente di base, dovuta alla carica immagazzinata in base (tenere conto delle regioni di svuotamento). [5]

2) A $t = 0$ la base viene scollegata ($I_B = 0$); calcolare il time storage delay (t_{SD}), trascurando la variazione nel tempo delle regioni di svuotamento. [5] SUGGERIMENTO: scrivere il transitorio della carica $Q_B(t)$ e ricordare che il t_{SD} è il tempo che impiega il transistor per andare dalla condizione di saturazione al limite della zona attiva diretta.

SOLUZIONE 2

1) Indichiamo con 0 e W gli estremi della lunghezza effettiva di base, che sarà data da ($V_{BE} = 0.6 \text{ V}$, $V_{BC} = V_{BE} - V_{CE} = 0.5 \text{ V}$):

$$V_{0BE} = \frac{kT}{q} \ln \frac{N_{\text{Abase}} N_{\text{Demettitore}}}{n_i^2} = 0.189$$

$$W_{BE} = \sqrt{\frac{2\epsilon_s}{qN_{\text{Abase}}} (V_{0BE} - V_{BE})} = 0.44 \quad \mu\text{m}$$

$$V_{0BC} = \frac{kT}{q} \ln \frac{N_{\text{Abase}} N_{\text{Dcollettore}}}{n_i^2} = 0.695$$

$$W_{BC} = \sqrt{\frac{2\epsilon_s}{q} (V_{0BE} - V_{BC}) \left(\frac{1}{N_{\text{Abase}}} + \frac{1}{N_{\text{Dcoll}}} \right)} = 0.226 \quad \mu\text{m}$$

$$X_{BC} = \frac{W_{BC}}{2} = 0.113 \quad \mu\text{m}$$

$$W = W_{\text{met}} - W_{BE} - X_{BC} = 2.70 \quad \mu\text{m}$$

Per calcolare il contributo alla corrente di base dovuto alla carica immagazzinata in base, bisogna calcolare gli eccessi di portatori minoritari agli estremi della regione di svuotamento, dovuti alla tensione applicata.

$$\begin{aligned} n_p(0) &= \frac{n_i^2}{N_{Abase}} e^{\frac{V_{BE}}{V_T}} = 2.58 \times 10^{14} \quad \text{cm}^{-3} \\ n_p(W) &= \frac{n_i^2}{N_{Abase}} e^{\frac{V_{BC}}{V_T}} = 5.45 \times 10^{12} \quad \text{cm}^{-3} \end{aligned}$$

In entrambi i casi, come vediamo, è verificata l'ipotesi di bassa iniezione. A questo punto la carica immagazzinata in base risulta:

$$Q_B = Sq \frac{n_p(0) + n_p(W)}{2} W = 5.70 \times 10^{-11} \quad \text{C}$$

e la corrente di base, dovuta alla ricombinazione di portatori minoritari, risulta:

$$\begin{aligned} I_B &= \frac{Q_B}{\tau_n} \\ I_B &= 56 \quad \mu\text{A} \end{aligned}$$

2) Il t_{SD} è il tempo che il transistor bipolare impiega per uscire dalla saturazione e raggiungere la condizione di zona attiva diretta. Per tempi molto lunghi, la carica immagazzinata in base è nulla, poichè $I_B = 0$: $\lim_{t \rightarrow \infty} Q_B(t) = 0$. Quindi il transitorio di carica è semplicemente:

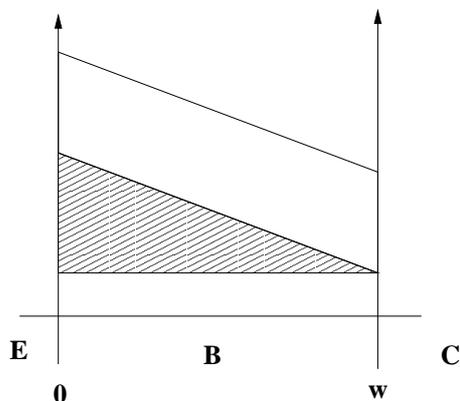
$$Q_B(t) = Q_{B0} e^{-\frac{t}{\tau_n}}$$

Il t_{SD} è il tempo che impiega la carica Q_B a raggiungere la configurazione indicata in figura con un tratteggio. Questa carica è data da:

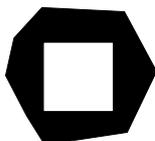
$$Q_{Bsd} = qS (n_p(0) - n_p(W)) \frac{W}{2} W = 5.46 \times 10^{-11} \quad \text{C}$$

Da qui è immediato calcolare il t_{SD} :

$$\begin{aligned} t_{SD} &= \tau_n \ln \left(\frac{Q_{B0}}{Q_{Bsd}} \right) \\ t_{SD} &= 0.05 \quad \mu\text{s} \end{aligned}$$



ESERCIZIO 3 (DTE) Su un substrato drogato con B ($N_A = 10^{15} \text{ cm}^{-3}$) si cresce termicamente un layer di ossido di 150 nm di spessore (si supponga il drogaggio p uniforme anche dopo il processo di ossidazione). Viene poi eseguito un passo di litografia e di dry etch perfettamente anisotropo, usando la maschera di figura 1. Viene poi effettuata una ossidazione dry a 1100 °C per 10' ($A=0.09 \mu\text{m}$, $B=0.027 \mu\text{m}^2/\text{hr}$, $\tau= 0.0 \text{ hr}$).

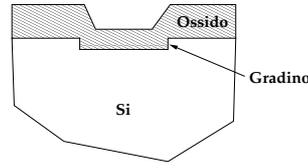


1) Eseguire un disegno della sezione, mettendo in evidenza gli spessori finali dell'ossido e del silicio (da calcolare). [5]

2) Viene poi effettuata una impiantazione ionica di As a 100 keV (per il Si: $R_{PSi} = 0.0582 \mu\text{m}$, $\Delta R_{PSi} = 0.0207 \mu\text{m}$; per l'ossido: $R_{Pox} = 0.0473 \mu\text{m}$, $\Delta R_{Pox} = 0.0151 \mu\text{m}$) con una dose $Q = 10^{18} \text{ atomi/m}^2$. Considerare il profilo di drogaggio coincidente con il profilo di impiantazione ideale. Determinare le profondità di giunzione, evidenziandole con un disegno finale. [5]

SOLUZIONE 3

1) Qualitativamente, la sezione finale del dispositivo appare come in figura: Il gradino è dovuto alla diversa velocità di crescita dell'ossido, che è minore nell'area dove è già presente uno strato di ossido iniziale. Iniziamo col calcolare lo spessore dell'ossido nella finestra, per un tempo di ossidazione



$t = 10/60$ di ora.

$$x_0 = -\frac{A}{2} + \sqrt{\frac{A^2}{4} + Bt} = 36 \quad \text{nm}$$

con un “consumo” di silicio pari a $\simeq x_0/2 = 18$ nm. Nella zona già coperta di ossido, dovremo calcolare il τ iniziale, che è il tempo richiesto a crescere 150 nm alla temperatura di processo di 1100 °C. Bisogna impostare l’equazione:

$$0.15 = -\frac{A}{2} + \sqrt{\frac{A^2}{4} + B\tau}$$

e facendo alcuni semplici passaggi otteniamo $\tau = 1.333$ hr. Lo spessore finale nelle zone ricoperte inizialmente da 150 nm di ossido risulta:

$$x_0 = -\frac{A}{2} + \sqrt{\frac{A^2}{4} + B(t + \tau)} = 161 \quad \text{nm}$$

Quindi lo spessore di ossido cresciuto in queste zone risulta 11 nm (161-150 nm), con uno spessore di silicio “consumato” pari a 5.5 nm. Lo scalino nel silicio risulta dunque pari a $18-5.5 \simeq 12$ nm.

2) Dalla formula:

$$\frac{x_0 - R_{Pox}}{\sqrt{2}\Delta R_{Pox}} = \frac{\bar{x} - R_{PSi}}{\sqrt{2}\Delta R_{PSi}}$$

dove x_0 è lo spessore di ossido, mentre \bar{x} indica l’ascissa che individua la parte “mancante” nel profilo di impiantazione del silicio. Prendiamo come riferimento la superficie del silicio (per usare come riferimento la superficie del wafer basta aggiungere lo spessore dell’ossido). Il massimo del profilo di impiantazione nel silicio risulta dunque ad una profondità dalla superficie del silicio pari a:

$$R'_{PSi} = \frac{\Delta R_{PSi}}{\Delta R_{Pox}} (R_{Pox} - x_0)$$

Nel caso di ossido sottile ($x_0 = 36$ nm) avremo che:

$$R'_{PSi} = 0.0155 \quad \mu\text{m}$$

Mentre nel caso di ossido spesso ($x_0 = 161$ nm) avremo:

$$R'_{PSi} = -0.156 \quad \mu\text{m}$$

Nel caso di ossido spesso, dunque, il massimo si trova ben al di fuori del silicio, segno che l'impiantazione ha un effetto trascurabile nel silicio poiché lo strato di ossido agisce da maschera. Il profilo di drogaggio N_D nel silicio, nella zona ricoperta dall'ossido sottile, risulta dunque:

$$N_D(x) = \frac{Q}{\sqrt{2\pi}\Delta R_{PSi}} e^{-\frac{x-R'_{PSi}}{2\Delta R_{PSi}^2}}$$

La profondità di giunzione può essere calcolata come x_j tale che:

$$N_D(x_j) = N_A$$

avremo:

$$\frac{(x_j - R'_{PSi})^2}{2\Delta R_{PSi}^2} = \ln \frac{Q}{\sqrt{2\pi}\Delta R_{PSi} N_A}$$

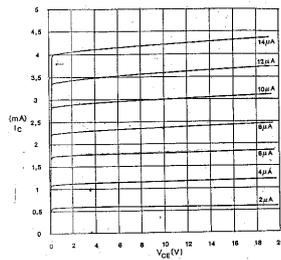
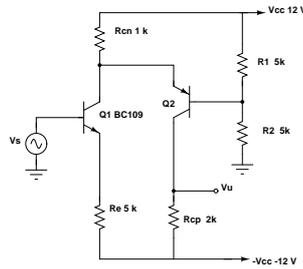
Svolgendo i conti, otteniamo una profondità di giunzione di 139 nm.

ESERCIZIO 4 (DE) Con riferimento al circuito in figura, il transistor *pnp* ha $\beta_f=300$, mentre per il transistor *nnp* è riportata la caratteristica.

- 1) Calcolare il punto di riposo. [6]
- 2) Stimare, dalle caratteristiche, i parametri dinamici del transistor *nnp* (h_{fe} , h_{oe} e h_{ie}), sapendo che $h_{ie} = 5$ k Ω per $I_B = 12$ μ A. [4]

SOLUZIONE 4

- 1) Per il transistor Q_1 avremo immediatamente $V_{E1} = -0.7$ V e quindi $I_{E1} \simeq I_{C1} = (-0.7 - (-12))/5 = 2.26$ mA. Per il transistor Q_2 avremo,



BC 109 (Caratteristiche rilevate presso l'Istituto di Elettrotecnica)

con l'approssimazione di partitore pesante, $V_{B2} = 6 \text{ V}$ e quindi $V_{E2} = 6.7 \text{ V}$. La corrente che scorre in R_{cn} è determinabile come $(V_{CC} - V_{E2})/R_{cn} = 5.3 \text{ mA}$, e quindi avremo che la corrente $I_{E2} \simeq I_{C2} = 5.3 - 2.26 = 3.04 \text{ mA}$. Di conseguenza avremo $V_{C2} = -12 + R_{cp}I_{C2} = -5.9 \text{ V}$. I transistori sono dunque entrambi polarizzati in zona attiva diretta. Avremo:

$$\begin{aligned} I_{E1} &\simeq I_{C1} = 2.26 \text{ mA} \\ I_{B1} &= 8 \text{ } \mu\text{A} \\ V_{CE1} &= 7.2 \text{ V} \\ V_{BE1} &= 0.7 \text{ (V)} \end{aligned}$$

dove I_{B1} è stato stimato dalla caratteristica di uscita. Per il transistor *npn* avremo:

$$\begin{aligned} I_{E2} &\simeq I_{C2} = 3.04 \text{ mA} \\ I_{B2} &= 10 \text{ } \mu\text{A} \\ V_{EC2} &= 12.6 \text{ V} \\ V_{BE2} &= 0.7 \text{ (V)} \end{aligned}$$

L'ipotesi di partitore pesante è verificata, poichè $I_{R1R2} = 1.2 \text{ mA} \gg I_{B2}$.

2) Per il calcolo dei parametri dinamici di Q_1 serve prelevare dei punti dalla caratteristica. Per $h_{fe} = \frac{\Delta I_C}{\Delta I_B}$ con V_{CE} costante possiamo considerare i valori:

$$\begin{aligned} I_{B1} &= 2 \mu\text{A} & I_{C1} &= 0.6 \text{ mA} \\ I_{B2} &= 12 \mu\text{A} & I_{C2} &= 4.2 \text{ mA} \end{aligned}$$

e quindi $h_{fe} = 360$ (valore stimato). Per $h_{oe} = \frac{\Delta I_C}{\Delta V_{CE}}$ con I_B costante avremo:

$$\begin{aligned} I_{C1} &= 2.2 \text{ mA} & V_{CE1} &= 0.5 \text{ V} \\ I_{C2} &= 2.4 \text{ mA} & V_{CE2} &= 18 \text{ V} \end{aligned}$$

dove i valori sono stati misurati sulla caratteristica $I_B = 8 \mu\text{A}$. Avremo $1/h_{oe} \simeq 87 \text{ k}\Omega$, che è la resistenza di uscita del transistor. Per h_{ie} dobbiamo calcolare la componente resistiva:

$$h_{ie} = h_{ier} + \frac{V_T}{I_B}$$

quindi dai dati del testo:

$$h_{ier} = 5000 - \frac{0.026}{12 \times 10^{-6}} = 2833 \quad \Omega$$

e con i dati del problema ($I_B = 8 \mu\text{A}$):

$$h_{ie} = h_{ier} + \frac{0.026}{8 \times 10^{-6}} = 6083 \quad \Omega$$