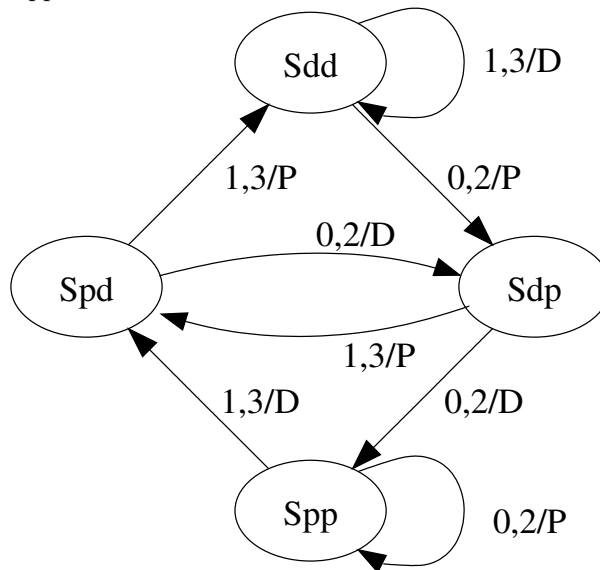


Soluzioni della Prova Scritta di Sistemi di Elaborazione Ingegneria delle Telecomunicazioni

Ing. G. Lettieri

10 Giugno 2005

1. Lo stato di partenza è "Spp".



2. (a) La funzione $f1(n)$ restituisce "1" se il vettore v contiene almeno un valore uguale a n , e restituisce "0" altrimenti.

(b) Una possibile traduzione è la seguente:

```
f1:    pushl %ebp
      movl %esp, %ebp
      subl $8, %esp
      movl $0, -8(%ebp)
      pushl 8(%ebp)
      call f2
      addl $4, %esp
      movl %eax, -4(%ebp)
      cmpl $0, %eax
      jg then
      jmp fine
then:  movl $1, -8(%ebp)
fine:  movl -8(%ebp), %eax
      leave
      ret
```

3. \$F aaa
 \$F bbb
 ccc 2
 \$F DDD
 EEE

4. (a) Se la cache è di tipo *write through*, ogni operazione di scrittura verrà eseguita in cache e in DRAM. Possiamo supporre che le due scritture avvengano in parallelo e che in DRAM venga scritta un'intera linea. Con queste ipotesi, ogni *hit* in scrittura richiederà un tempo pari a t_w . Nel caso di *miss*, invece, possiamo supporre che l'unico tempo che il processore deve attendere è il tempo di lettura della linea dalla DRAM (quindi, t_r).

Simuliamo ora il comportamento della cache, indicando con "×" le *miss* e con "w" le *hit* su operazioni di scrittura.

byte	9	5	<u>13</u>	50	<u>15</u>	60
linea	1	0	1	6	1	7
miss	×	×	w	×	w	×

Il tempo di esecuzione sarà:

$$4 \times t_r + 2 \times t_w \approx 14.0 \mu s$$

- (b) Se la cache è di tipo *write back*, le *hit* in caso di scrittura richiedono un tempo pari a t_{hit} (e non t_w), in quanto la scrittura viene eseguita soltanto in cache. In compenso, se una linea che è stata modificata deve essere rimpiazzata, bisogna prima scriverla in DRAM. Nell'esercizio, ciò accade quando viene richiesta la linea 7, che va a rimpiazzare in cache la linea 1, precedentemente modificata. Alla luce di queste considerazioni, il tempo di esecuzione, in questo caso, sarà:

$$4 \times t_r + 2 \times t_{hit} + t_w \approx 11.2 \mu s$$