

LABORATORIO ELETTRONICA DIGITALE:	03_09	Data: 30/06/2009
Nome	SOLUZIONE	Esito:
Tempo a disposizione:	1 ora	

### TEMA

Si consideri la porta NAND realizzata in tecnologia bipolare "ED", il cui schema elettrico è riportato nella figura più in basso. Si richiede di completare la scheda con i risultati ottenuti dalle opportune simulazioni effettuate.

	<p>a. Analisi statica a vuoto: si faccia variare l'ingresso A, mantenendo l'ingresso B sul livello neutro della porta. Si valuti la potenza dissipata staticamente <math>PDS</math> e le correnti <math>I_{IL}</math>, <math>I_{IH}</math> considerando 0.4 V e 5 V come livelli rispettivamente basso e alto in ingresso.</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <tr><td><math>V_{IL}</math></td><td>1.319 V</td></tr> <tr><td><math>V_{IH}</math></td><td>1.511 V</td></tr> <tr><td><math>V_{OL}</math></td><td>410 mV</td></tr> <tr><td><math>V_{OH}</math></td><td>4.999 V</td></tr> <tr><td><math>PDS</math></td><td>9.576 mW</td></tr> <tr><td><math>I_{IL}</math> @ (<math>V_A = 0.4</math> V)</td><td>-841 <math>\mu</math>A</td></tr> <tr><td><math>I_{IH}</math> @ (<math>V_A = 5</math> V)</td><td>303 pA</td></tr> </table> <p>b. Analisi statica a carico: si valuti il FAN—OUT della porta, garantendo un margine di rumore residuo pari a 0.5 V. Si considerino in ingresso alla porta pilota i livelli elettrici 0.4 V e 5 V e si modelli l'ingresso delle porte pilotate con un generatore di corrente di valore <math>I_{IL}</math> e <math>I_{IH}</math> sul livello basso e su quello alto, rispettivamente.</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <tr> <td style="width: 70%;">FAN-OUT</td> <td style="text-align: center;">12</td> </tr> </table>	$V_{IL}$	1.319 V	$V_{IH}$	1.511 V	$V_{OL}$	410 mV	$V_{OH}$	4.999 V	$PDS$	9.576 mW	$I_{IL}$ @ ( $V_A = 0.4$ V)	-841 $\mu$ A	$I_{IH}$ @ ( $V_A = 5$ V)	303 pA	FAN-OUT	12
$V_{IL}$	1.319 V																
$V_{IH}$	1.511 V																
$V_{OL}$	410 mV																
$V_{OH}$	4.999 V																
$PDS$	9.576 mW																
$I_{IL}$ @ ( $V_A = 0.4$ V)	-841 $\mu$ A																
$I_{IH}$ @ ( $V_A = 5$ V)	303 pA																
FAN-OUT	12																
<p>c. Analisi dinamica: valutare i tempi di transizione dell'uscita dal livello alto a quello basso e viceversa, <math>t_{HL}</math> e <math>t_{LH}</math>. Si colleghi una capacità <math>C_L = 0.5</math> pF in uscita e si faccia variare il segnale d'ingresso A tra 0.4 V e 5 V con tempi di salita e discesa uguali e pari a 1 ns, mantenendo l'altro ingresso sul livello neutro della porta.</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <tr><td><math>t_{HL}</math> (<math>C_L = 0.5</math> pF)</td><td>1.217 ns</td></tr> <tr><td><math>t_{LH}</math> (<math>C_L = 0.5</math> pF)</td><td>2.892 ns</td></tr> </table>	$t_{HL}$ ( $C_L = 0.5$ pF)	1.217 ns	$t_{LH}$ ( $C_L = 0.5$ pF)	2.892 ns	<p>d. Dimensionare le resistenze <math>R_1</math> e <math>R_2</math>, mantenendo la loro somma costante e pari a 5 k<math>\Omega</math>, in modo tale che il FAN-OUT, valutato come al punto b, risulti uguale a 20.</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <tr> <td style="width: 60%; text-align: center;"><math>R_1</math></td> <td style="text-align: center;">3.675 k<math>\Omega</math></td> </tr> </table>	$R_1$	3.675 k $\Omega$										
$t_{HL}$ ( $C_L = 0.5$ pF)	1.217 ns																
$t_{LH}$ ( $C_L = 0.5$ pF)	2.892 ns																
$R_1$	3.675 k $\Omega$																