

LABORATORIO ELETTRONICA DIGITALE:	03_08	Data:
Nome SOLUZIONE _____		Esito:
Tempo a disposizione:	1 ora	

QUESITO 1

Simulare staticamente e dinamicamente l'inverter CMOS realizzato in tecnologia "ED" riportato in figura. Dimensionare poi la larghezza di canale dei due transistori, imponendo sempre $W_2 = 2W_1$, in modo tale che il ritardo dell'inverter ($C_L = 15 \text{ fF}$), definito come la media dei ritardi di propagazione t_{pLH} e t_{pHL} , sia pari a 90 ps. Completare la tabella con i risultati ottenuti dalle simulazioni effettuate. Si considerino trascurabili, almeno in prima approssimazione, le capacità associate alle diffusioni di source e drain dei transistori MOS.

V_{IL}	2,901 V
V_{IH}	2,909 V
V_{OL}	375 mV
V_{OH}	4,625 V
$V_{OHmin} @ I_{OH} _{max} = 0,5 \text{ mA}$	4,327 V
$t_{pHL} (C_L = 15 \text{ fF})^{\%}$	102,4 ps
$t_{pLH} (C_L = 15 \text{ fF})^{\%}$	101,9 ps
W_1	36,3 μm

% Valutati facendo variare il segnale d'ingresso tra 0 e V_{CC} con tempi di salita e discesa uguali e pari a 100 ps.

QUESITO 2

Simulare il circuito digitale di figura utilizzando per gli ingressi le forme d'onda specificate di seguito e il modello *minimum* per i ritardi delle porte logiche. Si richiede di disegnare la forma d'onda relativa all'uscita quotando gli istanti in cui si presenta un cambiamento di stato.