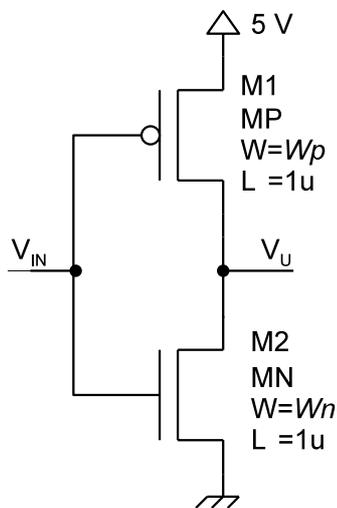


LABORATORIO ELETTRONICA DIGITALE:	01_10A	Data: 25/05/2010
Nome	SOLUZIONE	Esito:
Tempo a disposizione:	1 ora	

TRACCIA

Si consideri l'invertitore CMOS integrato in tecnologia "ED", il cui schema elettrico è riportato nella figura seguente. Si assuma $W_n = 100 \mu\text{m}$ e $W_p = 150 \mu\text{m}$. Si richiede di completare la scheda proposta con i risultati ottenuti dalle opportune simulazioni effettuate. Si ritengano trascurabili, almeno in prima approssimazione, le capacità associate alle diffusioni di source e drain dei transistori MOS.



a. Analisi statica a vuoto:

V_{IL}	1.951 V
V_{IH}	2.767 V
V_{OL}	0.394 V
V_{OH}	4.651 V
V_{INV} t.c. $V_U(V_{INV}) = V_{INV}$	2.394 V

b. Analisi statica a carico: considerare in ingresso i livelli elettrici pieni (0 e 5 V).

I_{OLmax} @ $V_{OLmax} = 1 \text{ V}$	7.14 mA
$ I_{OH} _{max}$ @ $V_{OHmin} = 4 \text{ V}$	5.35 mA

c. Analisi dinamica: si colleghi una capacità $C_L = 1.5 \text{ pF}$ in uscita e si faccia variare il segnale d'ingresso tra 0 e 5 V con tempi di salita e discesa uguali e pari a 500 ps. Valutare i tempi di propagazione t_{pHL} e t_{pLH} e l'energia E dissipata dal transistor M2 a seguito di una commutazione dell'uscita dal livello alto a quello basso.

t_{pHL} ($C_L = 1.5 \text{ pF}$)	369 ps
t_{pLH} ($C_L = 1.5 \text{ pF}$)	450 ps
E ($C_L = 1.5 \text{ pF}$)	20.2 pJ

d. Dimensionare W_n affinché la massima corrente che deve essere erogata in condizioni statiche dall'alimentatore con la porta a vuoto sia pari a 1.7 mA.

W_n
69 μm