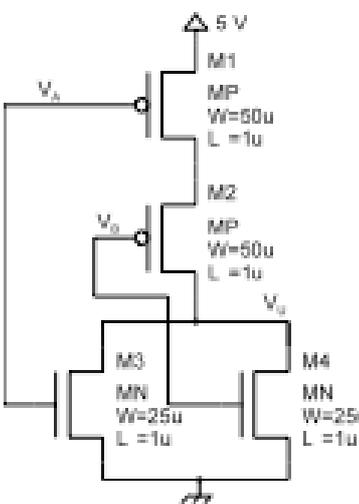


LABORATORIO ELETTRONICA DIGITALE:	01_09_A	Data:	26/05/2009
Nome	SOLUZIONE		
Tempo a disposizione:	1 ora		

### TEMA

Si consideri la porta NOR CMOS realizzata in tecnologia "ED", il cui schema elettrico è riportato in figura. Si richiede di completare la scheda con i risultati ottenuti dalle opportune simulazioni effettuate. Si ritengano trascurabili, almeno in prima approssimazione, le capacità associate alle diffusioni di source e drain.

	<p>a. Analisi statica a vuoto: si consideri l'ingresso A, mantenendo l'ingresso B nello stato neutro per la porta.</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td><math>V_{IL}</math></td> <td>1.937 V</td> </tr> <tr> <td><math>V_{IH}</math></td> <td>2.890 V</td> </tr> <tr> <td><math>V_{OL}</math></td> <td>378 mV</td> </tr> <tr> <td><math>V_{OH}</math></td> <td>4.623 V</td> </tr> </table> <p>b. Analisi statica a carico: si considerino in ingresso i livelli elettrici pieni (0 e 5 V).</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td><math>V_{OLmax} @  I_{OL}  = 1 \text{ mA}</math></td> <td>530 mV</td> </tr> <tr> <td><math>V_{OHmin} @  I_{OH}  = 1 \text{ mA}</math></td> <td>3.821 V</td> </tr> </table>	$V_{IL}$	1.937 V	$V_{IH}$	2.890 V	$V_{OL}$	378 mV	$V_{OH}$	4.623 V	$V_{OLmax} @  I_{OL}  = 1 \text{ mA}$	530 mV	$V_{OHmin} @  I_{OH}  = 1 \text{ mA}$	3.821 V
$V_{IL}$	1.937 V												
$V_{IH}$	2.890 V												
$V_{OL}$	378 mV												
$V_{OH}$	4.623 V												
$V_{OLmax} @  I_{OL}  = 1 \text{ mA}$	530 mV												
$V_{OHmin} @  I_{OH}  = 1 \text{ mA}$	3.821 V												
<p>c. Analisi dinamica: si colleghi una capacità <math>C_L = 0.5 \text{ pF}</math> in uscita. Si faccia variare il segnale d'ingresso A tra 0 e 5 V con tempi di salita e discesa uguali e pari a 500 ps, mantenendo l'altro ingresso nello stato neutro per la porta. Valutare i tempi di propagazione <math>t_{pHL}</math>, <math>t_{pLH}</math> e l'energia <math>E</math> fornita dall'alimentatore a seguito di una commutazione in discesa del segnale d'ingresso.</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td><math>T_{pHL} (C_L = 0.5 \text{ pF})</math></td> <td>471 ps</td> </tr> <tr> <td><math>t_{pLH} (C_L = 0.5 \text{ pF})</math></td> <td>826 ps</td> </tr> <tr> <td><math>E (C_L = 0.5 \text{ pF})</math></td> <td>14.7 pJ</td> </tr> </table>	$T_{pHL} (C_L = 0.5 \text{ pF})$	471 ps	$t_{pLH} (C_L = 0.5 \text{ pF})$	826 ps	$E (C_L = 0.5 \text{ pF})$	14.7 pJ	<p>d. Determinare la larghezza <math>W_P</math> dei transistori PMOS in modo tale che la tensione di uscita <math>V_{OHmin} @  I_{OH}  = 1 \text{ mA}</math> sia pari a 4.2 V.</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td><math>W_P</math></td> <td>69.7 <math>\mu\text{m}</math></td> </tr> </table>	$W_P$	69.7 $\mu\text{m}$				
$T_{pHL} (C_L = 0.5 \text{ pF})$	471 ps												
$t_{pLH} (C_L = 0.5 \text{ pF})$	826 ps												
$E (C_L = 0.5 \text{ pF})$	14.7 pJ												
$W_P$	69.7 $\mu\text{m}$												