

LABORATORIO ELETTRONICA DIGITALE:	01_08_A	Data: 27/05/2008
Nome	SOLUZIONE	Esito:
Tempo a disposizione:	1 ora	

QUESITO 1

Simulare staticamente e dinamicamente l'inverter NMOS a carico saturato realizzato in tecnologia "ED", riportato in figura. Dimensionare poi la larghezza di canale W_1 del transistore di ingresso M_1 in modo tale che la potenza statica P_{DS} , valutata come media della potenza dissipata dall'inverter con ingresso basso ($v_{IN} = 0$ V) e ingresso alto ($v_{IN} = 3,5$ V), sia pari a $60 \mu\text{W}$. Completare la tabella con i risultati ottenuti dalle simulazioni effettuate. Si considerino trascurabili, almeno in prima approssimazione, le capacità associate alle diffusioni di source e drain.

V_{IL}	995 mV
V_{IH}	1,783 V
V_{OL}	487 mV
V_{OH}	3,538 V
P_{DS}	68,1 μW
$t_{pHL} (C_L = 2 \text{ fF})^{\%}$	67 ps
$t_{pLH} (C_L = 2 \text{ fF})^{\%}$	644 ps
W_1	1,65 μm

% Valutati facendo variare il segnale d'ingresso tra 0 e 3,5 V con tempi di salita e discesa uguali e pari a 100 ps.

QUESITO 2

Simulare la rete sequenziale sincrona di figura utilizzando per gli ingressi le forme d'onda specificate di seguito e il modello *typical* per i ritardi delle porte logiche. Si richiede di disegnare la forma d'onda relativa all'uscita quotando gli istanti in cui si presenta un cambiamento di stato.