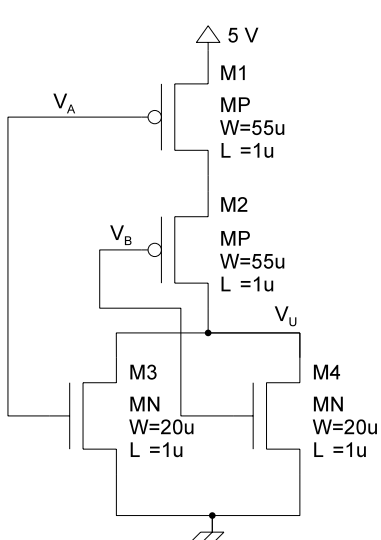


LABORATORIO ELETTRONICA DIGITALE:	01_09_B	Data: 26/05/2009
Nome _____		Esito:
Tempo a disposizione:	1 ora	

**TEMA**

Si consideri la porta NOR CMOS realizzata in tecnologia "ED", il cui schema elettrico è riportato in figura. Si richiede di completare la scheda con i risultati ottenuti dalle opportune simulazioni effettuate. Si ritengano trascurabili, almeno in prima approssimazione, le capacità associate alle diffusioni di source e drain.

	<p>a. Analisi statica a vuoto: si consideri l'ingresso A, mantenendo l'ingresso B nello stato neutro per la porta.</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td><math>V_{IL}</math></td><td></td></tr> <tr><td><math>V_{IH}</math></td><td></td></tr> <tr><td><math>V_{OL}</math></td><td></td></tr> <tr><td><math>V_{OH}</math></td><td></td></tr> </table> <p>b. Analisi statica a carico: si considerino in ingresso i livelli elettrici pieni (0 e 5 V).</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td><math>V_{OLmax} @ IOL = 1 \text{ mA}</math></td><td></td></tr> <tr><td><math>V_{OHmin} @  IOH  = 1 \text{ mA}</math></td><td></td></tr> </table>	$V_{IL}$		$V_{IH}$		$V_{OL}$		$V_{OH}$		$V_{OLmax} @ IOL = 1 \text{ mA}$		$V_{OHmin} @  IOH  = 1 \text{ mA}$	
$V_{IL}$													
$V_{IH}$													
$V_{OL}$													
$V_{OH}$													
$V_{OLmax} @ IOL = 1 \text{ mA}$													
$V_{OHmin} @  IOH  = 1 \text{ mA}$													
<p>c. Analisi dinamica: si colleghi una capacità <math>C_L = 0.6 \text{ pF}</math> in uscita. Si faccia variare il segnale d'ingresso A tra 0 e 5 V con tempi di salita e discesa uguali e pari a 600 ps, mantenendo l'altro ingresso nello stato neutro per la porta. Valutare i tempi di propagazione <math>t_{pHL}</math>, <math>t_{pLH}</math> e l'energia <math>E</math> fornita dall'alimentatore a seguito di una commutazione in discesa del segnale d'ingresso.</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td><math>t_{pHL} (C_L = 0.6 \text{ pF})</math></td><td></td></tr> <tr><td><math>t_{pLH} (C_L = 0.6 \text{ pF})</math></td><td></td></tr> <tr><td><math>E (C_L = 0.6 \text{ pF})</math></td><td></td></tr> </table>	$t_{pHL} (C_L = 0.6 \text{ pF})$		$t_{pLH} (C_L = 0.6 \text{ pF})$		$E (C_L = 0.6 \text{ pF})$		<p>d. Determinare la larghezza <math>W_N</math> dei transistori NMOS in modo tale che la tensione di uscita <math>V_{OLmax} @ IOL = 1 \text{ mA}</math> sia pari a 0.4 V.</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td style="text-align: center;"><math>W_N</math></td><td></td></tr> </table>	$W_N$					
$t_{pHL} (C_L = 0.6 \text{ pF})$													
$t_{pLH} (C_L = 0.6 \text{ pF})$													
$E (C_L = 0.6 \text{ pF})$													
$W_N$													