

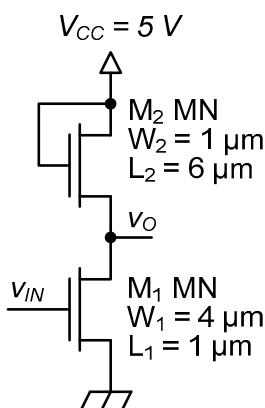
Nome \_\_\_\_\_

Esito: \_\_\_\_\_

Tempo a disposizione: 1 ora

**QUESITO 1**

Simulare staticamente e dinamicamente l'inverter NMOS a carico saturato realizzato in tecnologia "ED", riportato in figura. Dimensionare poi la larghezza di canale  $W_1$  del transistore di ingresso  $M_1$  in modo tale che la potenza statica  $P_{DS}$ , valutata come media della potenza dissipata dall'inverter con ingresso basso ( $v_{IN} = 0 \text{ V}$ ) e ingresso alto ( $v_{IN} = 3,5 \text{ V}$ ), sia pari a  $60 \mu\text{W}$ . Completare la tabella con i risultati ottenuti dalle simulazioni effettuate. Si considerino trascurabili, almeno in prima approssimazione, le capacità associate alle diffusioni di source e drain.



$V_{IL}$	
$V_{IH}$	
$V_{OL}$	
$V_{OH}$	
$P_{DS}$	
$t_{pHL} (C_L = 2 \text{ fF})^{\circ}$	
$t_{pLH} (C_L = 2 \text{ fF})^{\circ}$	
$W_1$	

% Valutati facendo variare il segnale d'ingresso tra 0 e 3,5 V con tempi di salita e discesa uguali e pari a 100 ps.

**QUESITO 2**

Simulare la rete sequenziale sincrona di figura utilizzando per gli ingressi le forme d'onda specificate di seguito e il modello *typical* per i ritardi delle porte logiche. Si richiede di disegnare la forma d'onda relativa all'uscita quotando gli istanti in cui si presenta un cambiamento di stato.

