

Progettazione con l'ausilio del software ADS di circuiti integrati RF per sistemi wireless

Laboratorio di:

Elettronica dei Sistemi Wireless (9 CFU)

Il anno della Laurea Magistrale in Ingegneria Elettronica
Primo semestre - A.A. 2017/18

Federico Baronti

Dipartimento di Ingegneria dell'Informazione
Via G. Caruso 16 - I-56122 - Pisa – Italy

Stanza: B-1-9

Tel. 050-2217.581

Email: federico.baronti@unipi.it

Ricevimento: venerdì 15-17

Si consiglia di contattarmi preventivamente per concordare un appuntamento

Titolare del corso: Bruno Neri

Co-docenti: Federico Baronti, Sergio Saponara

Programma esercitazioni

- Introduzione alla progettazione RF
- Introduzione all'uso di **Advanced Design Software (ADS)** <http://www.keysight.com/>
- Progettazione (a livello di schematico) di **LNA bipolare**
- Progettazione (a livello di schematico) di **LNA CMOS**
- Progettazione (a livello di schematico) di **Mixer (Cella di Gilbert)**
- Progettazione di un filtro a **microstriscia**
- **Progetto**

Orario

2M Elettronica						
	Lu	Ma	Me	Gi	Ve	Sa
8:30/9:30	Prog.sens.microsist. ADII3			Prog.sens.microsist. ADII3	Prog. mixed signal B23	
9:30/10:30	Prog.sens.microsist. ADII3			Prog.sens.microsist. ADII3	Prog. mixed signal B23	
10:30/11:30	Prog. mixed signal B23	Progett.circ.digit. ADII3	Progett.circ.digit. C32	Elettron. sist. wirelss B23	Progett.circ.digit. B23	
11:30/12:30	Prog. mixed signal B23	Progett.circ.digit. ADII3	Prog.sens.microsist. SI 7	Elettron. sist. wirelss B23	Progett.circ.digit. B23	
12:30/13:30	Prog. mixed signal B23	Progett.circ.digit. ADII3	Prog.sens.microsist. SI 7			
13:30/14:30						
14:30/15:30	Progett.circ.digit. ADII3	Elettron. sist. wirelss ADII3	Elettron. sist. wirelss ADII3		Prog.sens.microsist. F5	
15:30/16:30	Progett.circ.digit. ADII3	Elettron. sist. wirelss ADII3	Elettron. sist. wirelss ADII3	Prog. mixed signal SI 3	Prog.sens.microsist. F5	
16:30/17:30		Elettron. sist. wirelss ADII3	Elettron. sist. wirelss ADII3	Prog. mixed signal SI 3		
17:30/18:30				Prog. mixed signal SI 3		

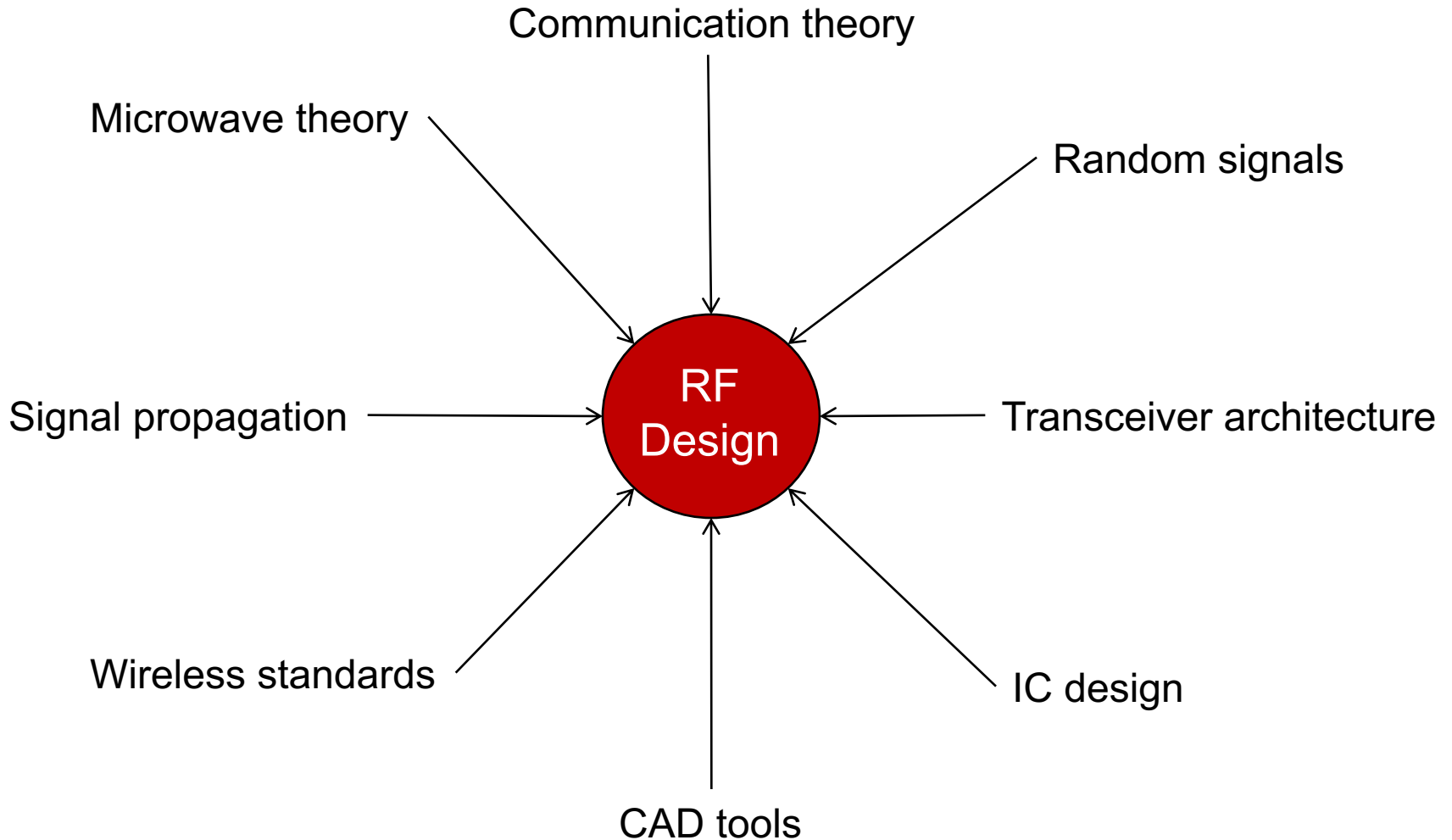
Altre info

- Pagina web del corso:
 - <http://www.iet.unipi.it/f.baronti/didattica/ESW/ESW.html>
- Uso PC (quelli sulla mensola) in aula:
 - Account: *banco*
 - Password: *studele*
 - Software installato: ADS 2013
 - Design kit: AMS-S35 (0,35 μm HBT BiCMOS)
- Uso portatile personale
 - Design kit: AMS-S35 (0,35 μm HBT BiCMOS)
 - ADS 2009

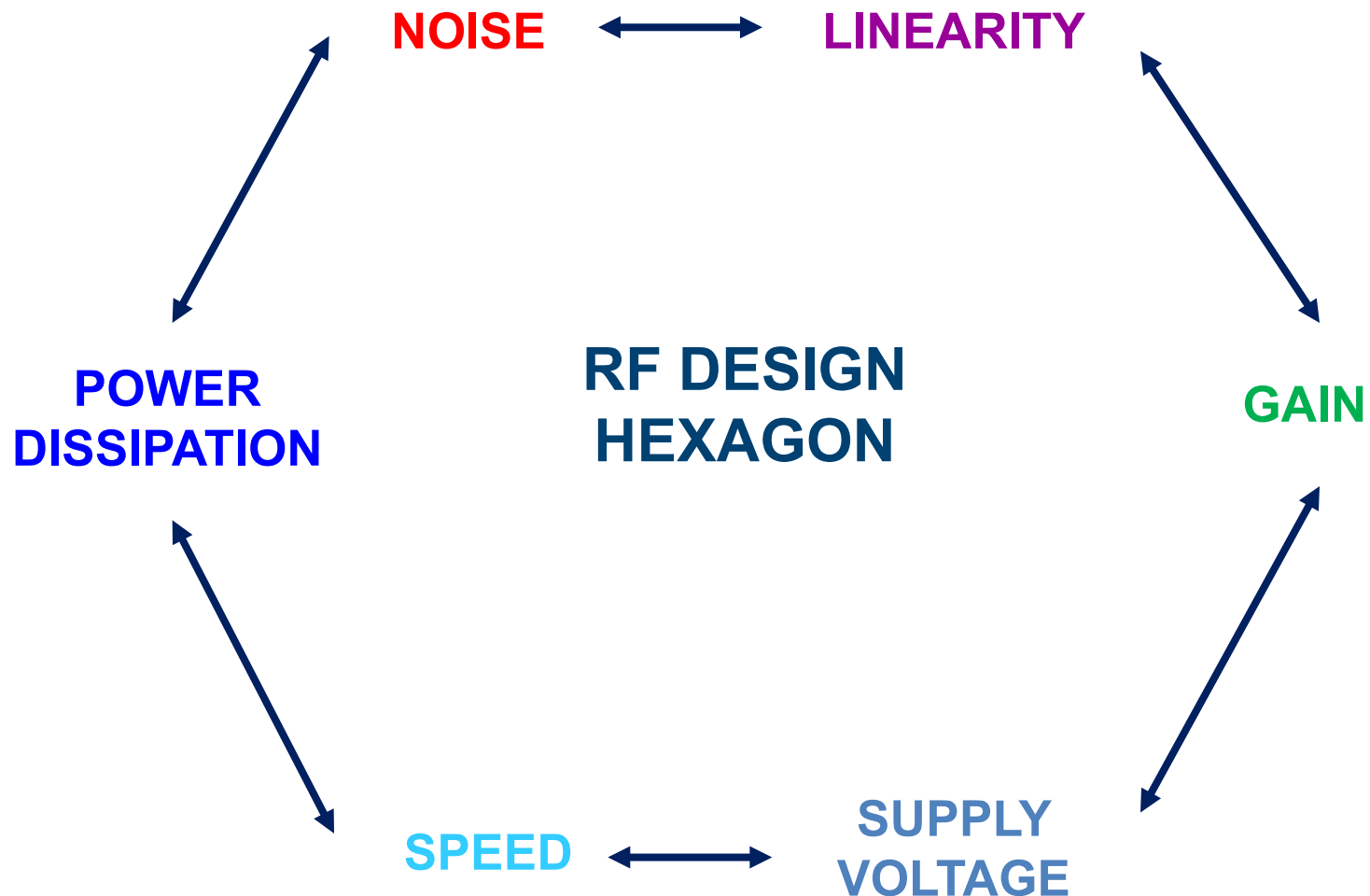
Introduzione alla Progettazione RF

- Basic of RFIC Design
 - Building blocks, technologies, and design metrics
 - Design flow
 - Modelling & simulation
 - CAD tools
- RF Circuit Simulation

Why RF Design is Challenging?

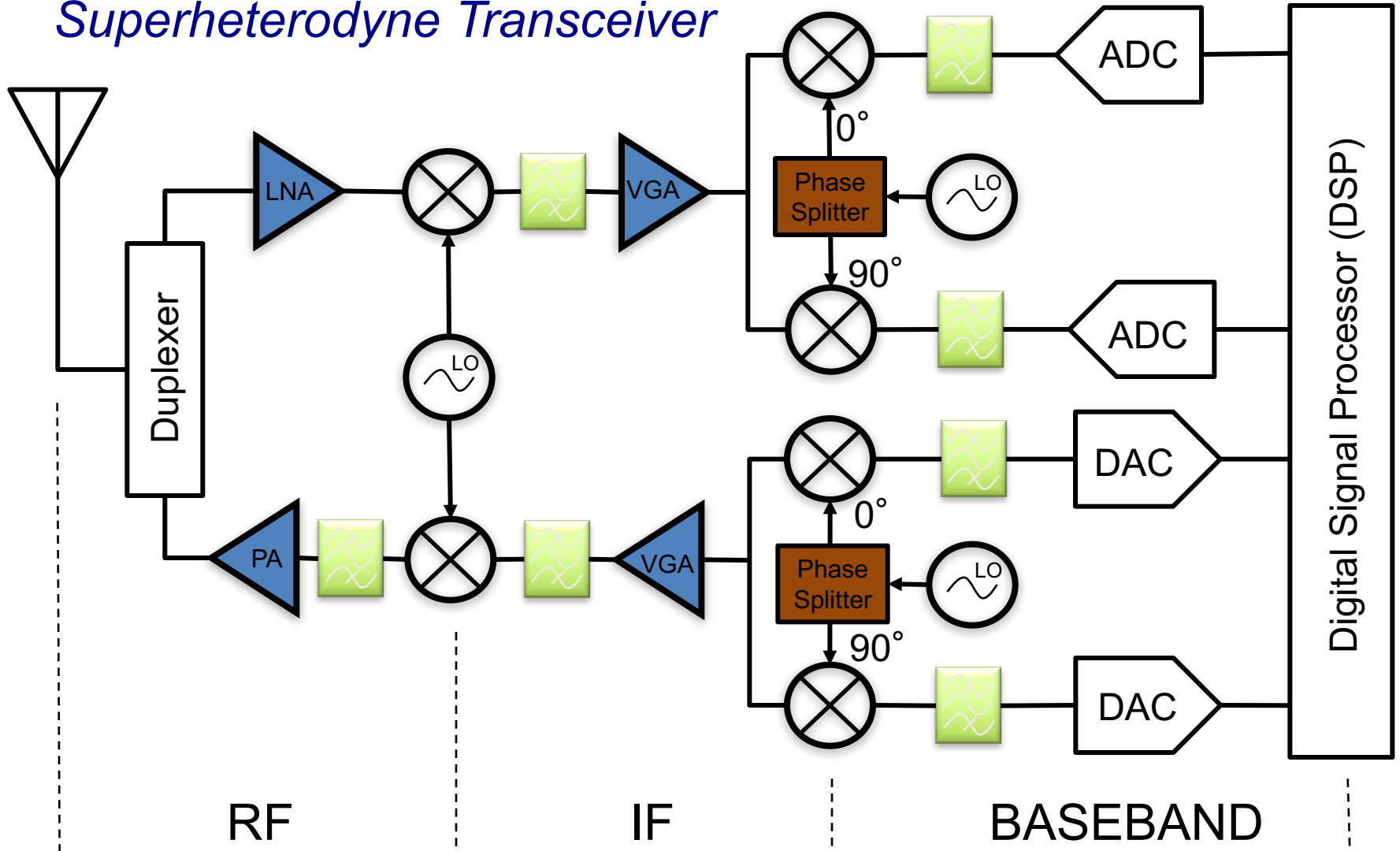


Analog/RF Design Trade-Off



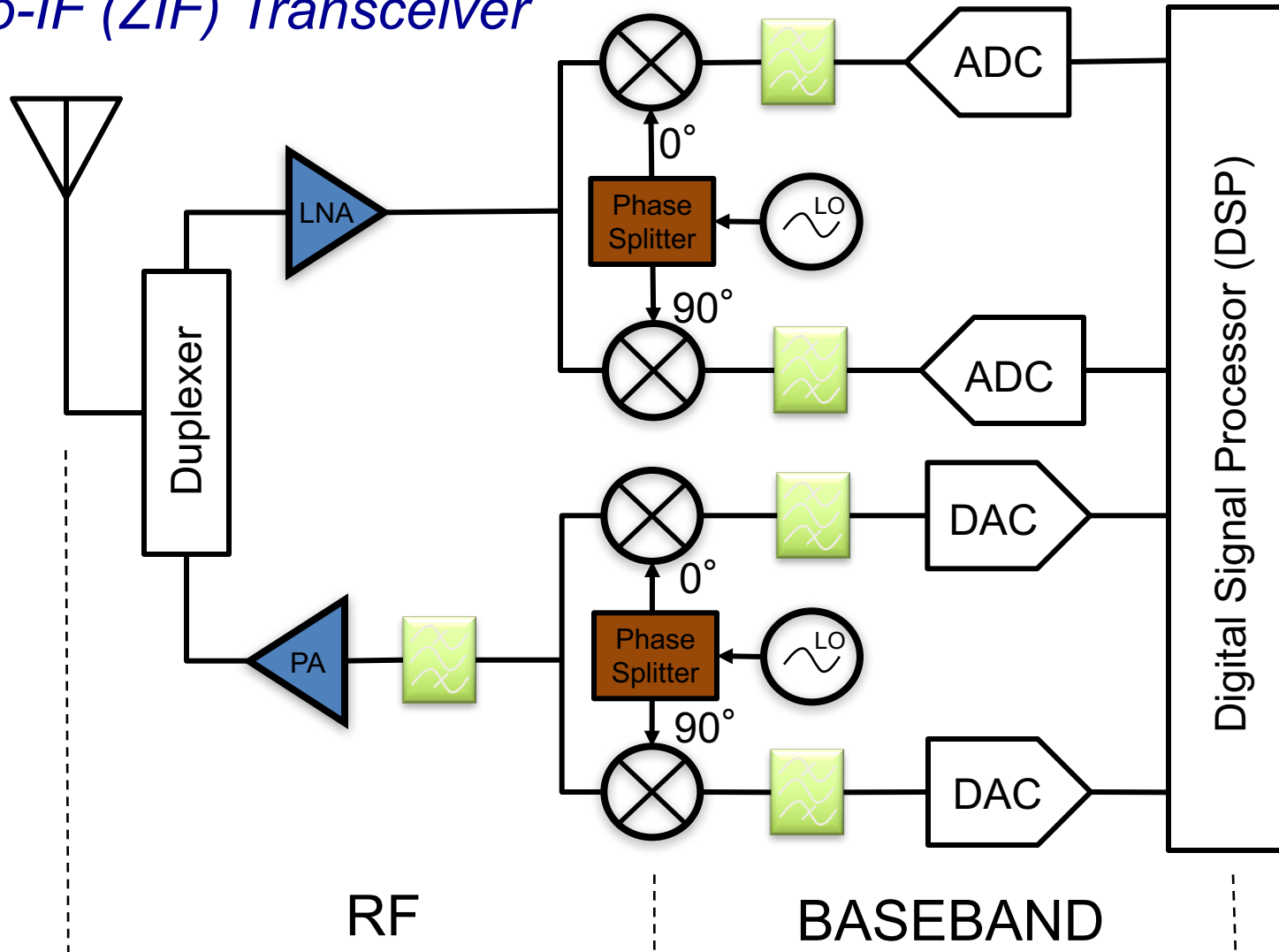
An RF Communication System

Superheterodyne Transceiver



An Alternative RF Comm. System

Zero-IF (ZIF) Transceiver



Components of an RF System

- RF

- Duplexer
- LNA: Low Noise Amplifier
- PA: Power Amplifier
- RF mixer
- Local Oscillator/
Frequency Synthesizer
- Filter

- IF

- VGA: Variable Gain Amplifier
- Modulator
- Demodulator
- Filter

- Baseband

- Mixed-signal

- ADC: Analog to Digital Converter
- DAC: Digital to Analog Converter

- Digital

- Digital Signal Processor (DSP)

SOC: System-on-a-Chip

- All components of a system are implemented on the same VLSI chip
- Requires same technology (usually CMOS) used for all components
- Components not implemented on present-day SOC:
 - “Antenna”
 - Power amplifier (PA)

SIP: System-in-Package

- Several chips or SOC are included in a package
- Routing within SIP may be provided via a semiconductor substrate
- RF communication system may contain:
 - SIP, containing
 - SOC consisting of
 - CMOS digital and mixed-signal components (DSP, ADC, DAC)
 - CMOS LNA and Mixers
 - CMOS DDS (Direct Digital Synthesizer)
 - Filters
 - Power amplifier (PA)
 - Antenna

RF Technologies

- GaAs:
 - High frequency
 - High power
 - Used in PA and front-end switches
 - Low yield, expensive to manufacture
 - Not integrated on silicon chips
- Silicon bipolar and BiCMOS
- Silicon CMOS, suitable for tens of GHz
- SiGe
 - Possible replacement for GaAs
 - Can be integrated on silicon chips

Block Design Metrics

- Gain
- Noise Figure, Phase Noise, Jitter
- Linearity
 - 1-dB Compression Point
 - 3rd Order Intercept Point
 - Dynamic range
 - Spurious Free Dynamic Range
- Link budget
- Stability
- Sensitivity
- I/O Impedance
- Cost

Before looking at some numbers

- Given a 0 dBm available power source with 50 Ω internal resistance, what are the rms and peak voltages on a matched?

$$- V_{\text{rms}} = \sqrt{RP_A} = \sqrt{50 \cdot 10^{-3}} = 223.6 \text{ mV}$$

$$- V_{\text{peak}} = \sqrt{2RP_A} = \sqrt{2 \cdot 50 \cdot 10^{-3}} = 316.2 \text{ mV}$$

Before looking at some numbers

- What is the floor noise of a source with 50Ω internal resistance on 1 MHz bandwidth at room temperature (25 C)?
 - $P_{A,\text{noise}} = KT\Delta f = 4.11^{-15} \text{W}$ (–113.9 dBm)
 - On a matched load:
 - $V_{\text{rms}} = \sqrt{RP_{A,\text{noise}}} = 0.45 \mu\text{V}$
 - $V_{\text{peak,noise}} = \sqrt{2RP_{A,\text{noise}}} = 0.64 \mu\text{V}$

Before looking at some numbers

- An LNA with a 2 dB noise figure and a 15 dB gain is followed by a mixer with a 7 dB noise. What's the overall noise figure?

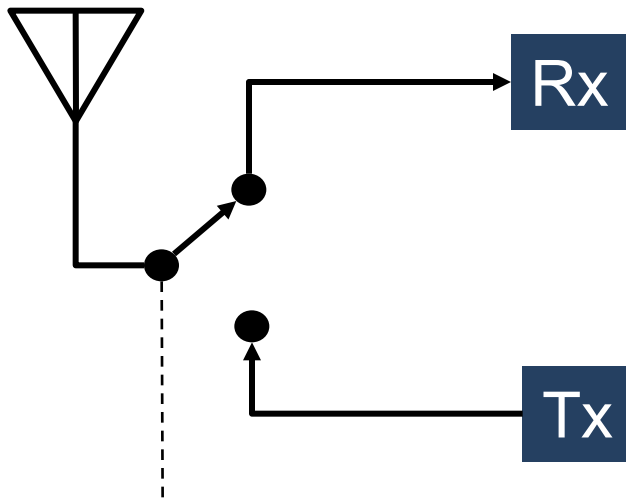
$$\begin{aligned} - \text{NF} &= NF_1 + \frac{NF_2 - 1}{G_1} = 1.585 + \frac{5.012 - 1}{31.62} = \\ &1.712 \text{ (2.334 dB)} \end{aligned}$$

Duplexer

- TDD: Time-Division Duplexing

Duplexing

- Same Tx and Rx frequency
- RF switch (PIN or GaAs FET)
- Less than 1 dB loss

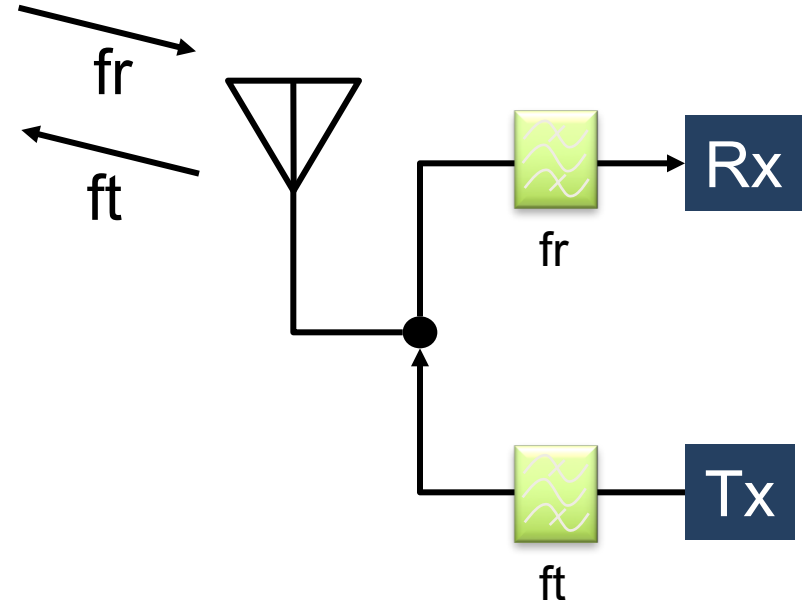


TDD command

- FDD: Frequency-Division Duplexing

Division Duplexing

- Tx to Rx coupling (-50 dB)
- More loss (3 dB) than TDD
- Adjacent channel leakage



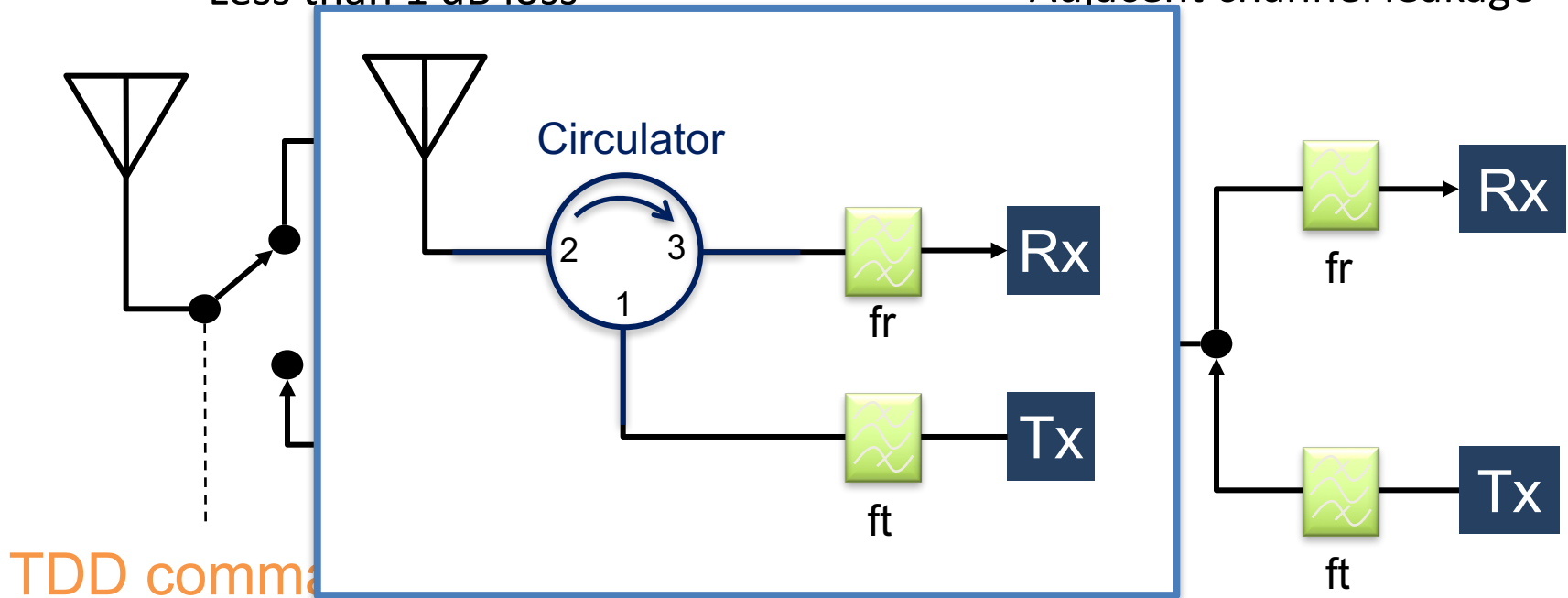
Duplexer

- TDD: Time-Division Duplexing

- Same Tx and Rx frequency
- RF switch (PIN or GaAs FET)
- Less than 1 dB loss

- FDD: Frequency-Division Duplexing

- Tx to Rx coupling (-50 dB)
- More loss (3 dB) than TDD
- Adjacent channel leakage



LNA: Low Noise Amplifier

- Amplifies received RF signal
- Typical characteristics:
 - Noise figure 2-3 dB
 - ICP_{1dB} -20 dBm
 - IP3 - 10 dBm
 - Gain 15 dB
 - Input and output impedance 50 Ω
 - Reverse isolation 20 dB
 - Stability factor > 1
- Technologies:
 - Bipolar
 - CMOS

Mixer or Frequency (Up/Down) Converter

- Translates frequency by subtracting/adding local oscillator (LO) frequency
- Typical characteristics:
 - Noise figure 12 dB
 - ICP_{1dB} -5 dBm
 - IP3 +5 dBm
 - Gain 10 dB
 - Input impedance 50 Ω
 - Port to port isolation 10-20 dB
- Technologies:
 - Bipolar
 - CMOS

PA: Power Amplifier

- Feeds RF signal to antenna for transmission
- Typical characteristics:
 - Output power +20 to +30 dBm
 - Efficiency 10 % to 20 %
 - IMD – 30 dBc
 - Supply voltage 3.8 to 5.8 V
 - Gain 20 to 30 dB
 - Output harmonics – 50 to – 70 dBc
 - Power control On-off or 1-dB steps
 - Stability factor > 1
- Technologies:
 - GaAs
 - SiGe

Analog/RF Design Flow

- System Specs

- Behavioral models

- Matlab, Excel, ...

- Define Block requirements

System
Level
Exploration

- Circuit design

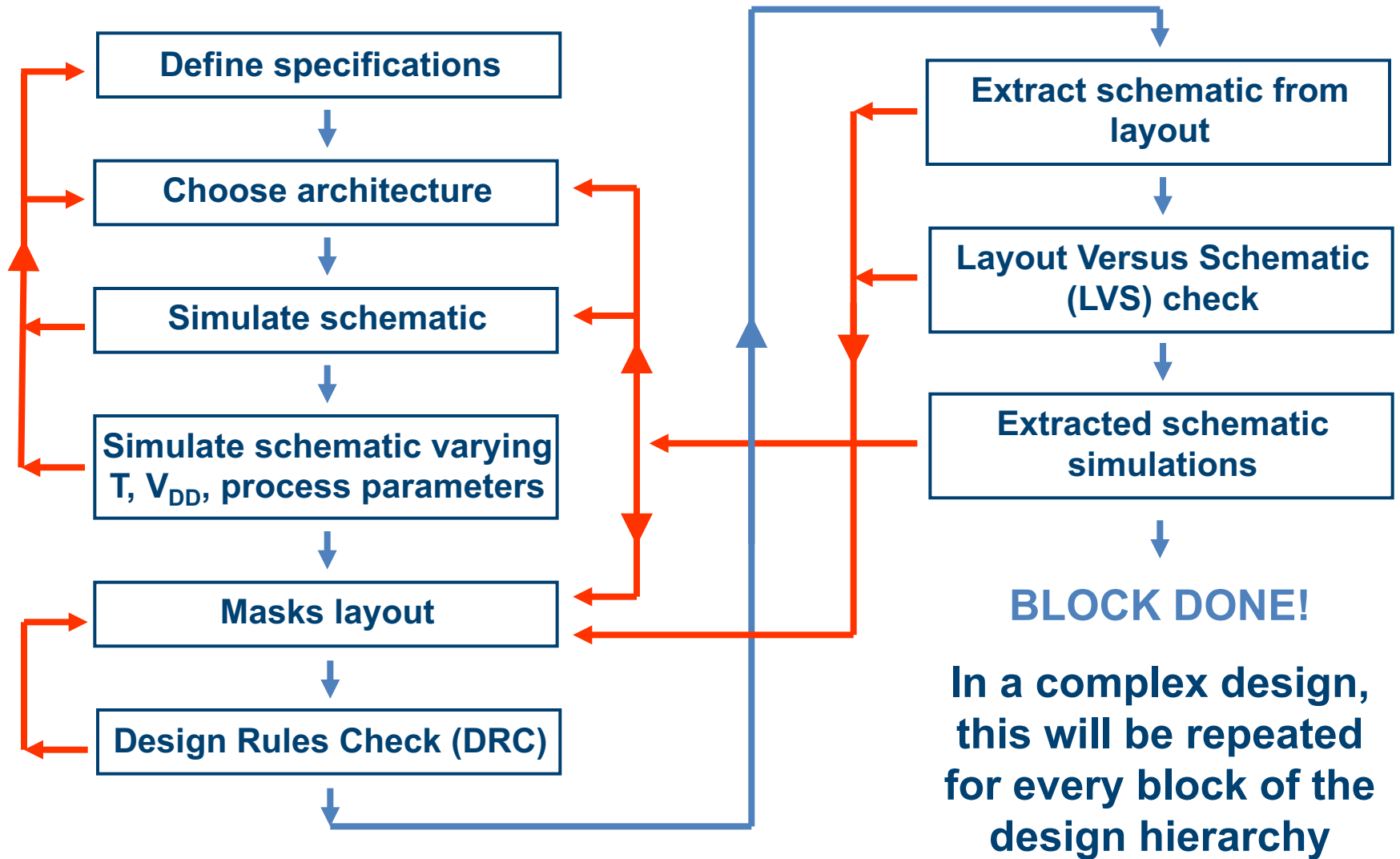
- Size, Simulate and iterate

- Layout design

- Verify and iterate

Circuit
Sizing &
Synthesis

Analog/RF Block Design Flow



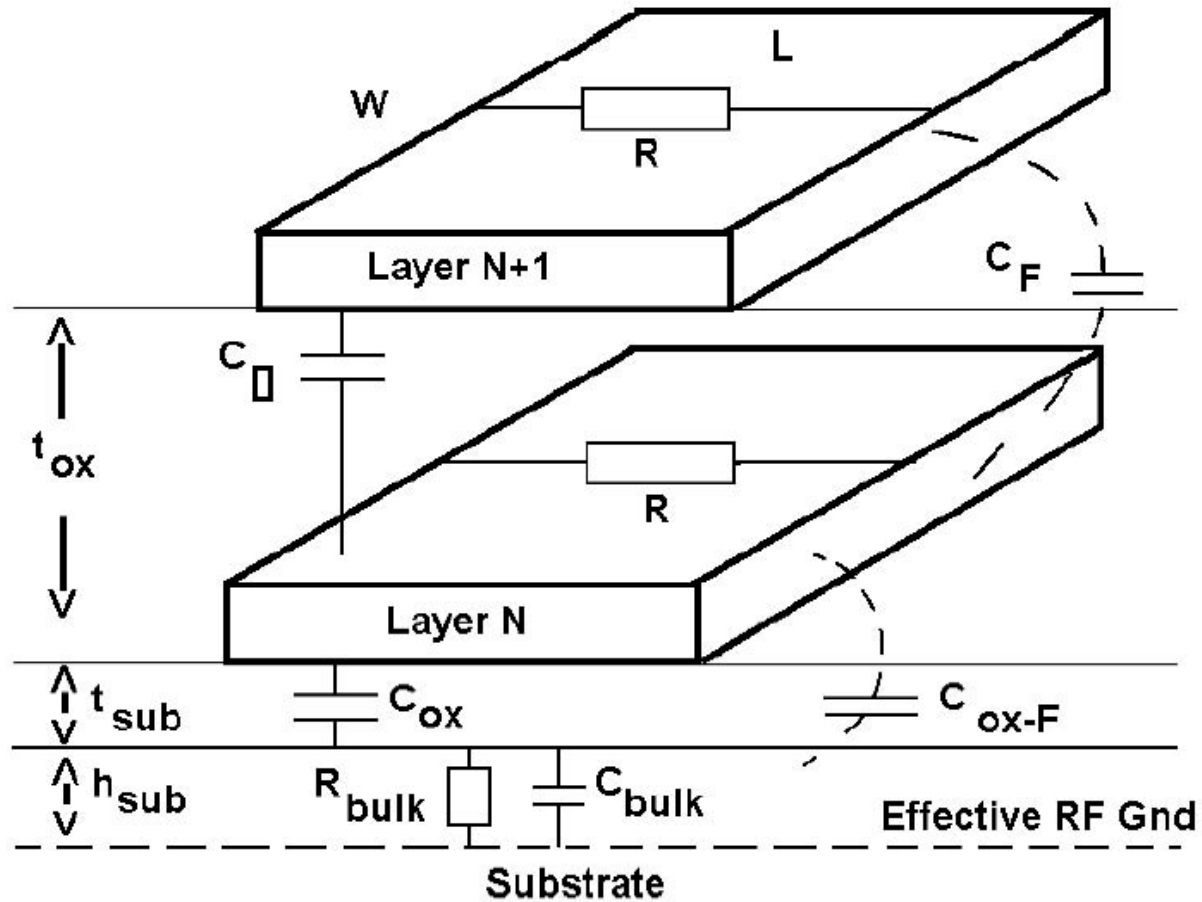
RFIC Simulation

- Accurate modelling (active and passive components)
- EM simulators
- RF circuit simulators
 - **Periodic Steady State** simulation algorithms
 - Harmonic Balance (ADS)
 - Shooting (SpectreRF)

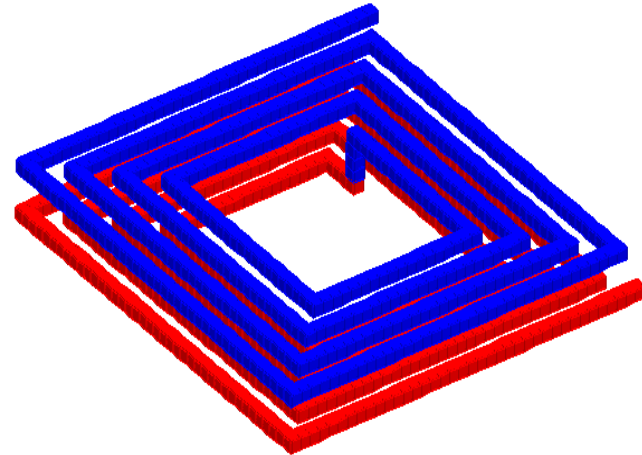
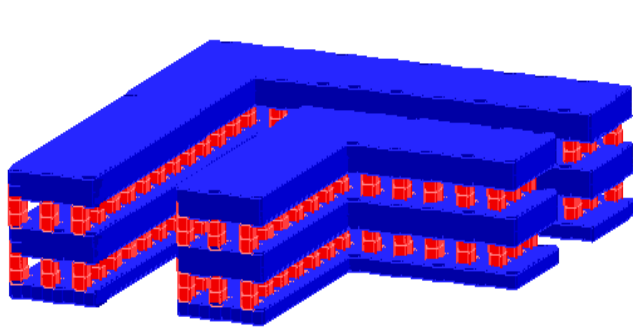
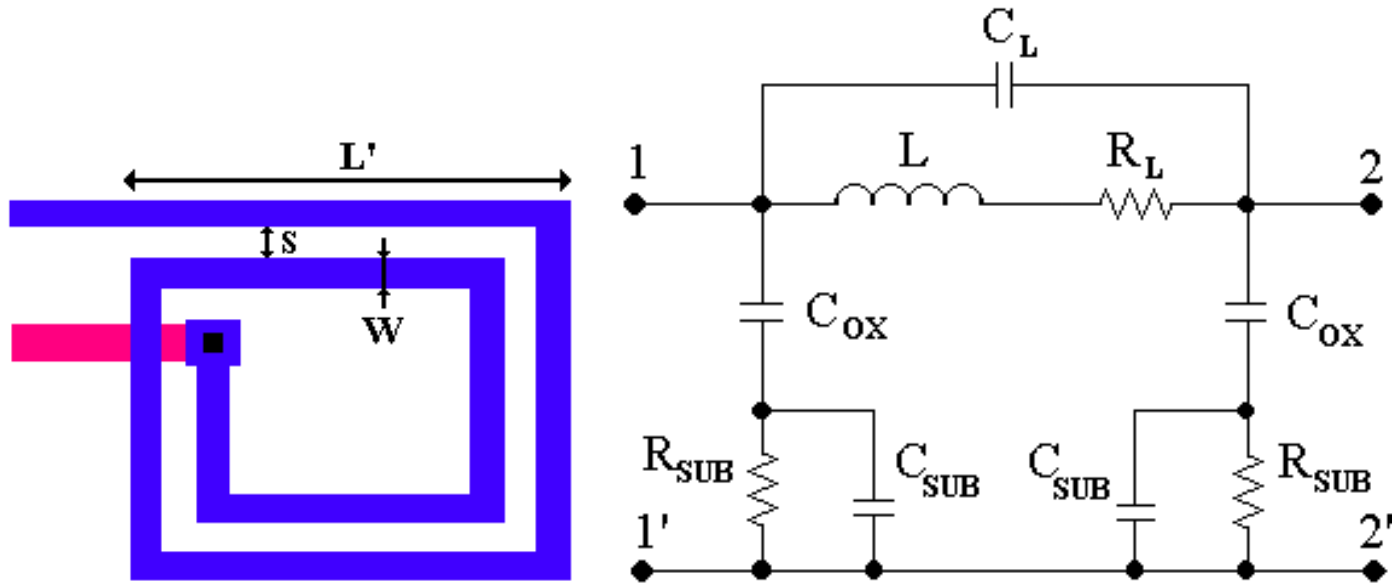
Modelling

- Active Components
 - Bipolar transistors
 - MOSFET transistors
- Passive Components
 - Capacitors
 - Inductors
 - Resistors
 - Transformers
 - Interconnections
 - Package

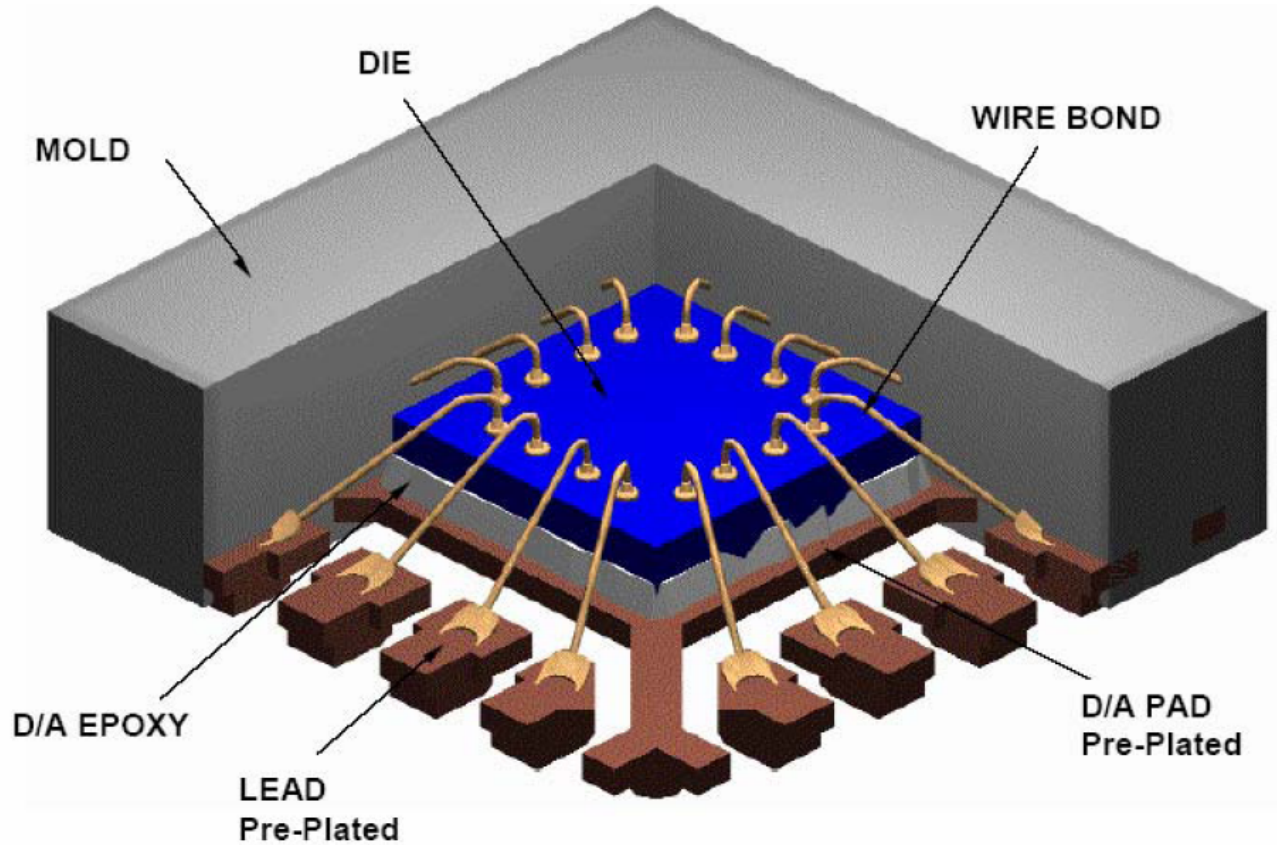
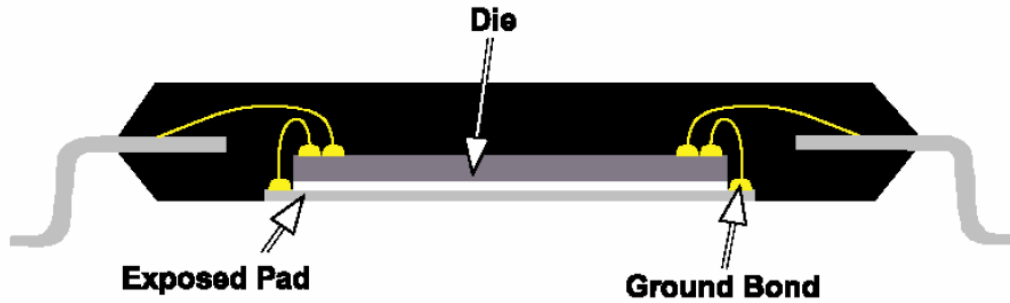
Capacitors



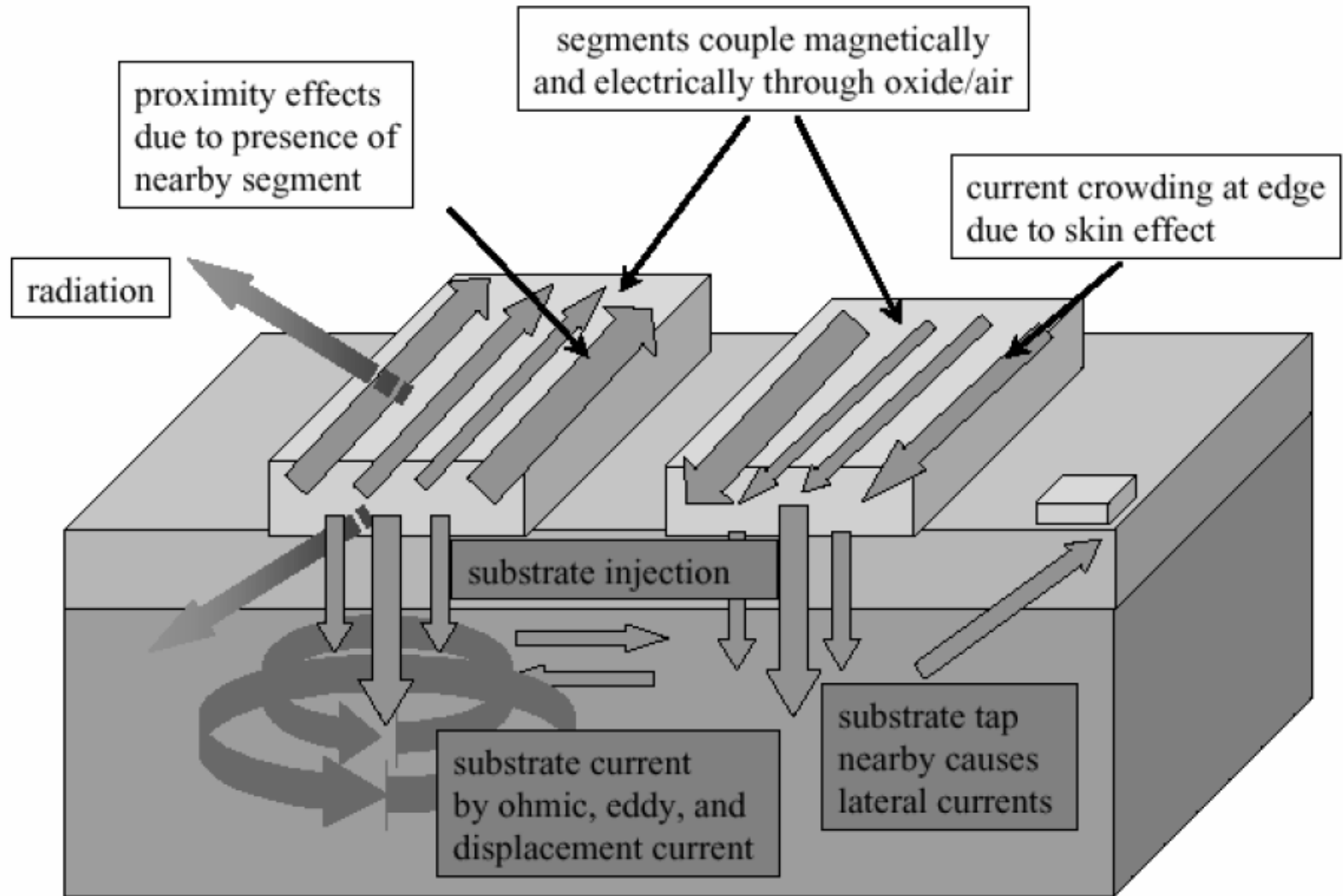
Inductors



Package



Interazione Elettromagnetica

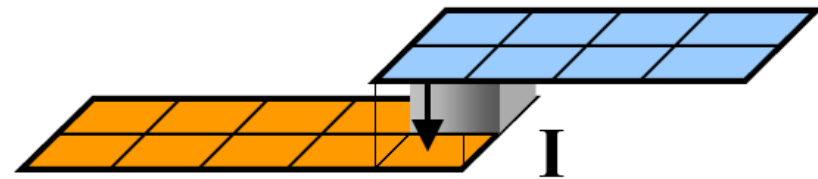


Metodi Numerici e Dominio

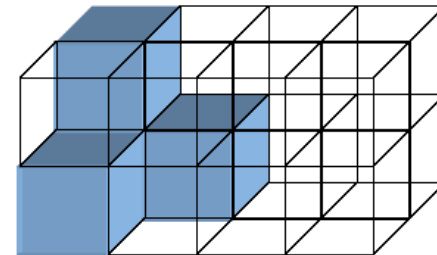
- 2 D (planare)



- 2 D e ½ (planare + vias)



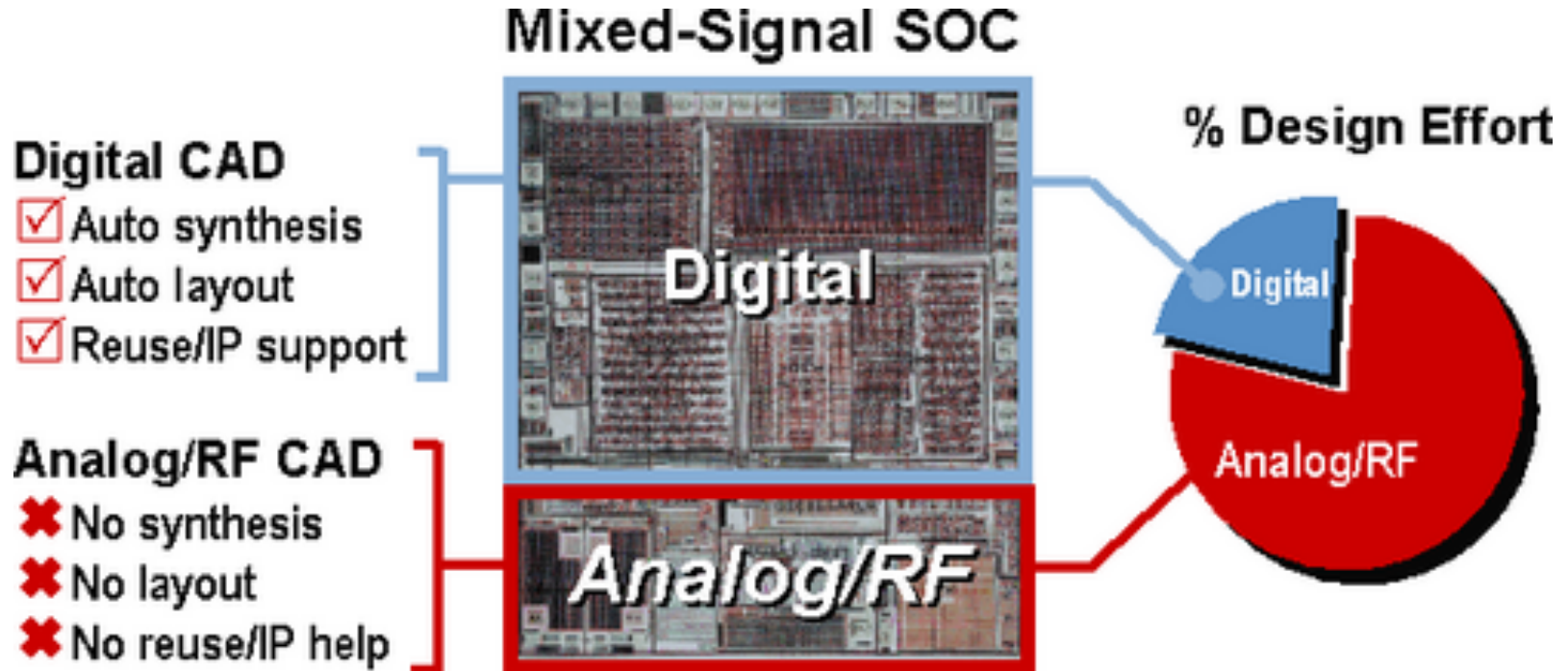
- 3 D (tridimensionale)



Alcuni Simulatori EM

- ASITIC (2D e $\frac{1}{2}$, PEEC)
- Microwave Office EM Sight (2D e $\frac{1}{2}$, MoM)
- Momentum (2D e $\frac{1}{2}$, MoM)
- High Frequency Structures Simulator (3D, FEM)
- Finite Difference Time Domain (3D, FDE)
 - PEEC: Partial Element Equivalent Circuit
 - MoM: Metodo dei Momenti
 - FEM: Finite Element
 - FDE: Finite Difference

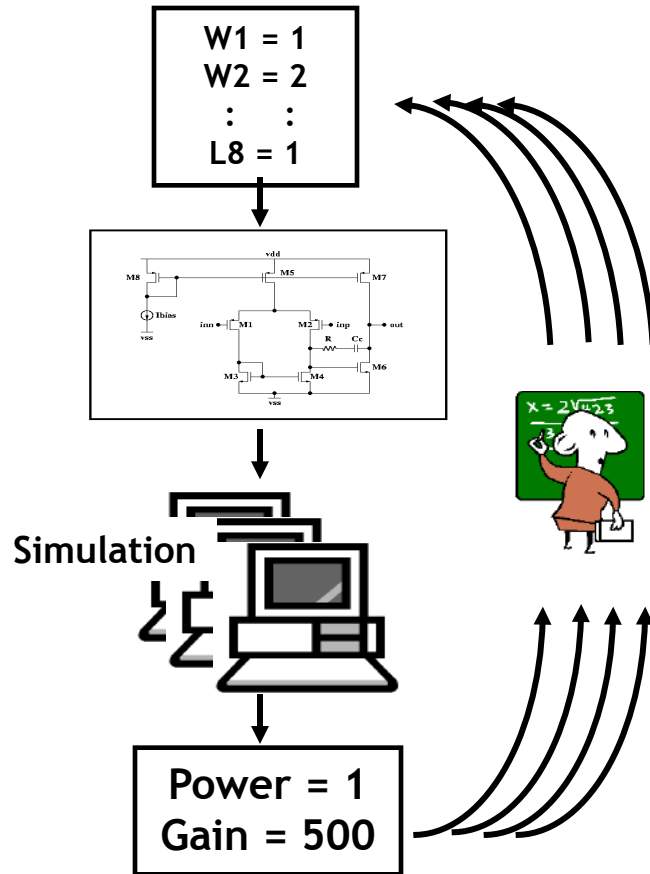
CAD Supports



Exploration?

Optimality?

Construction-Simulation Paradigm



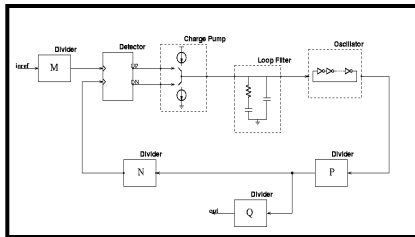
Challenges

- Time intensive
- Labor intensive
- Highly iterative
- Non optimal
- Non re-usable
- Non scalable
- Dependent on individual skills

Benchmark PLL Design
3-6 months

Analog Synthesis: an opportunity

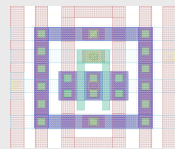
Jitter = 10
Static Phase Error = 100



Optimization



W1 = 1
W2 = 2
⋮
L8 = 1



Benchmark PLL Design
3-6 hours

Benefits

- Design Time
- Design Productivity
- Robustness
- Optimality
- Re-usability
- Scalability
- Portability

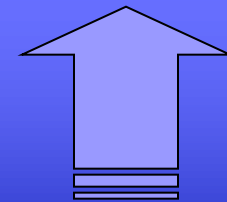
Analog Design Platform

- System Specs
- Behavioral models
 - Matlab, Excel, ...
 - Define Block requirements

System
Level
Exploration



Analog Platform

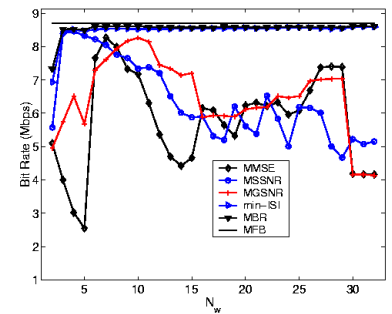
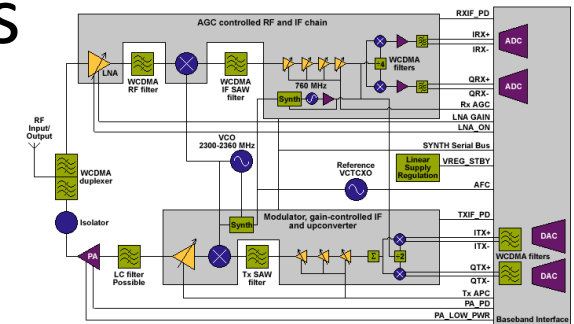


- Circuit design
 - Size, Simulate and iterate
- Layout design
 - Verify and iterate

Circuit
Sizing &
Synthesis

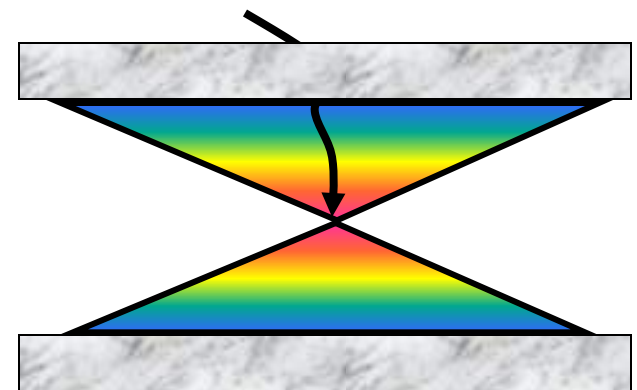
Analog Platforms

- An Analog Platform is a library of analog components and interconnects that implements a set of functionalities
- An Analog Platform consists of:
 - *Behavioral models* provide an efficient way to simulate mapping effects at the current platform level
 - *Performance models* constrain the possible behaviors to the considered platforms



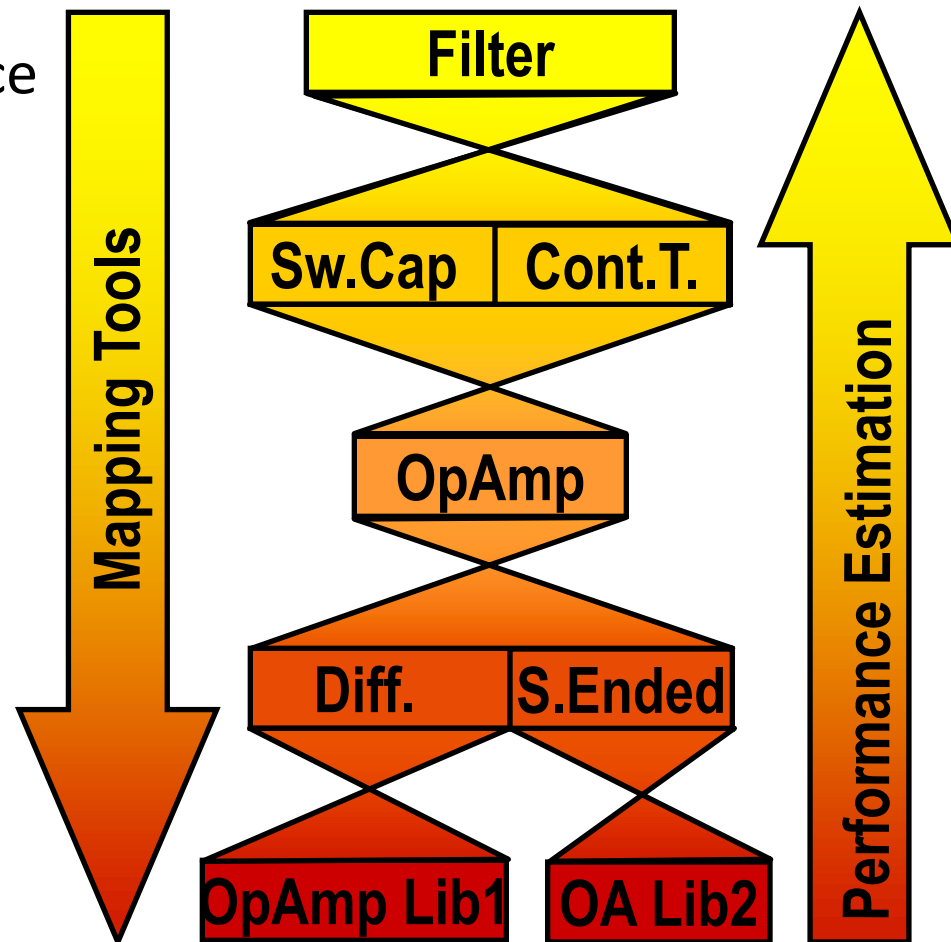
Analog Platforms (cont.)

- Classic top-down approaches suffer for limited predictability of performances → Introduce a new level of abstraction
- Platforms abstract underlying components providing:
 - Estimation mechanisms (i.e. models) for platform level optimization
 - Mapping mechanisms to propagate constraints to next level
- Platforms provide accurate exploration mechanisms by limiting the search space
- Platforms may encapsulate synthesis paths



Analog Platform Stacks

- APs allow efficient top-down flows for analog systems
- At each level of abstraction in the platform stack, performance models allow transforming requirements into satisfiable next-level constraints
- Any platform instance is implementable by definition
- Platform stacks allow the selection of optimal architectures and topologies for analog components



Introduzione alla Progettazione RF

- Basic of RFIC Design
- RF Circuit Simulation

Sommario

- Richiami analisi disponibili in SPICE
- Caratteristiche circuiti RF
 - Impraticabilità uso analisi SPICE per la valutazione di alcuni parametri di interesse dei circuiti RF
- Analisi per soluzione in regime periodico (o quasi-periodico)
 - Harmonic Balance, Shooting method
- Estensioni delle analisi per soluzione regime periodico (o quasi-periodico)

Richiami analisi SPICE

- 3 classi principali di analisi:

Tipo analisi	Applicazione	Modello
DC	Punto di riposo	Eq. non lineari in continua
AC	Risposta in frequenza	Eq. lineari (o linearizzate nel p.to di lavoro in continua) nel dominio della frequenza
TRAN	Analisi transitorio	Eq. non lineari integro-differenziali

SPICE: analisi AC (1)

- Analisi fasoriale (regime sinusoidale)
- BCE (Branch Constitutive Equation)
corrispondono ad ammettenze complesse
dipendenti dalla frequenza

$$Y = G + j\omega C + \frac{1}{j\omega L}$$

- Applicata a circuiti non lineari è valida solo per piccoli segnali variabili intorno al p.to di riposo in continua

SPICE: analisi AC (2)

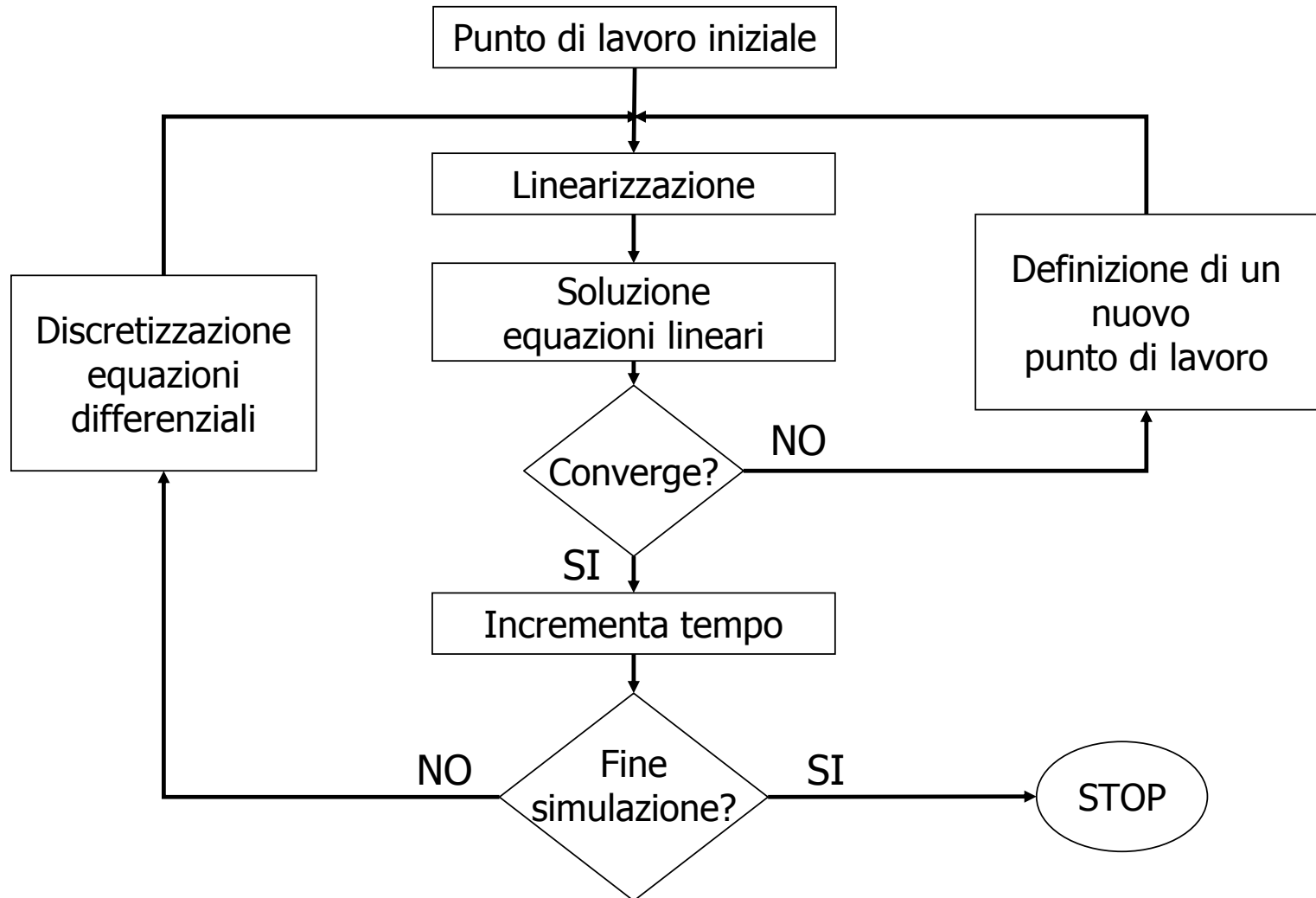
- Oltre alla risposta in frequenza, l'analisi AC può valutare rumore (NOISE)
- Sono inseriti generatori (incorrelati) rumore nei dispositivi: *termico*, *shot*, *flicker*, *burst*.
- Analisi NOISE valuta valore quadratico medio della tensione v_{no} della porta di uscita:

$$\overline{v_{no}^2} = \sum_{k=1}^N |Z_k|^2 \overline{i_{nk}^2}$$

Analisi TRAN (1)

- Può essere applicata a un qualunque circuito sollecitato da segnali generici
- Il p.to di riposo in DC è normalmente usato come condizione iniziale
- Il passo di integrazione è determinato dal segnale più veloce, mentre il tempo di simulazione da quello più lento

Analisi TRAN (2)

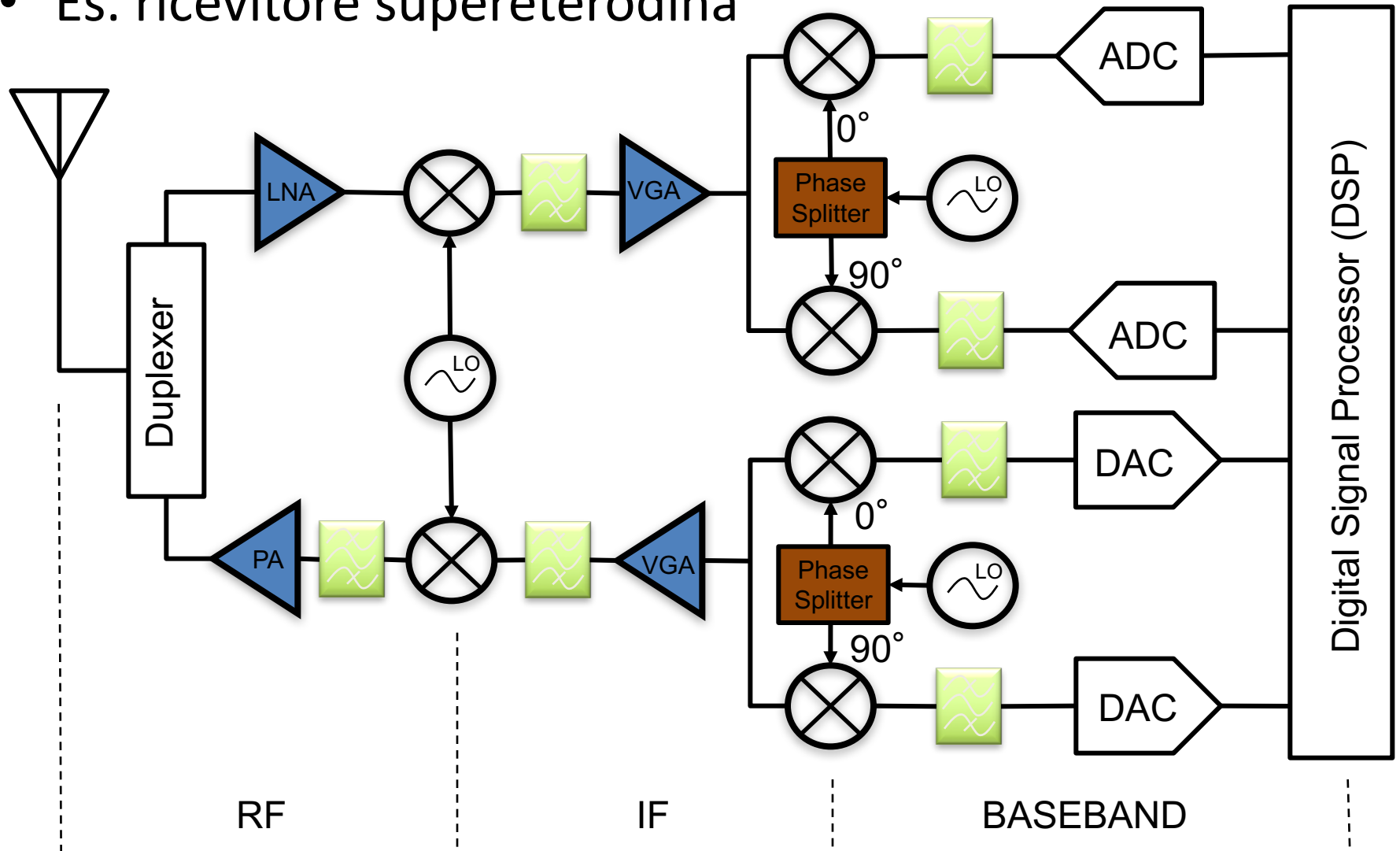


Analisi TRAN (3)

- Può valutare trasformata discreta Fourier (FOUR) su ultimo periodo dell'intervallo di simulazione
 - Richiede che il tempo di simulazione sia maggiore del transitorio affinché il circuito sia a regime periodico
- Può diventare impraticabile (simulazioni molto lunghe) in base alle caratteristiche dei segnali presenti

Blocchi principi RF

- Es. ricevitore supereterodina

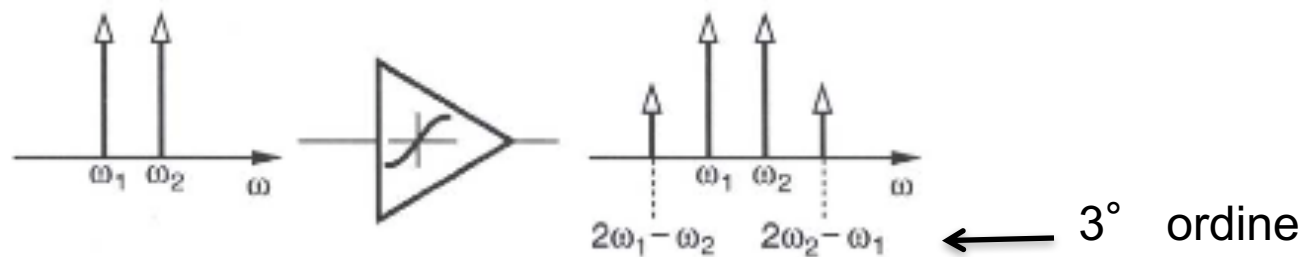


Caratteristiche blocchi RF (1)

- Bassi segnali in ingresso al ricevitore (fino a $1 \mu\text{V}$)
- Sensibilità ricevitore determinata dal rumore del front-end: LNA, Mixer, LO
 - Simulazione rumore LNA (cifra di rumore) ok con analisi AC
 - Simulazione rumore Mixer e LO (jitter/rumore di fase) impossibile con analisi AC, in quanto il punto di riposo del circuito varia nel tempo

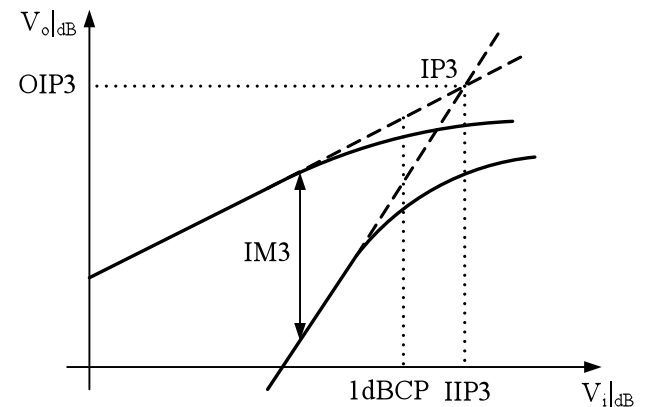
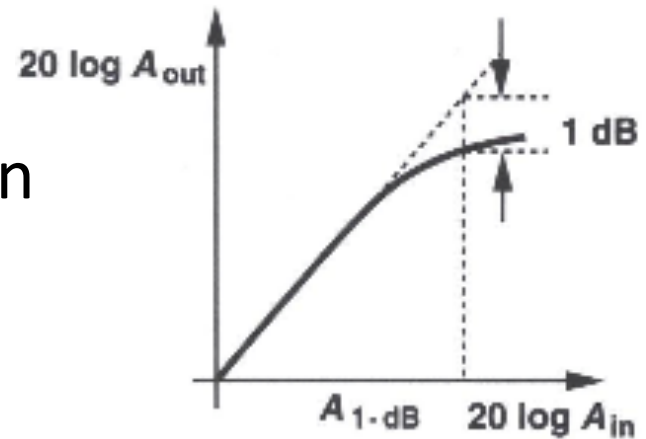
Caratteristiche blocchi RF (2)

- Ampia dinamica segnali in ingresso al ricevitore:
 - Distanza dalla stazione trasmittente
 - Presenza elevati interferenti su canali adiacenti
- Importante verificare linearità ricevitore:
 - Ingresso due sinusoidi in banda con frequenza vicina
 - Prodotti di intermodulazione nella banda del ricevitore (IMD InterModulation Distortion)



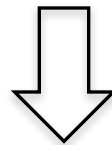
Caratteristiche blocchi RF (3)

- Parametri di non linearità:
 - P.to di compressione a 1 dB
(si varia ampiezza sinusoide in ingresso)
 - Blocco del guadagno
(si varia ampiezza dell'interferente)
 - Prodotti di intermodulazione, intercetta del 3° ordine (IP3)
(si varia ampiezza delle due sinusoidi in ingresso)



Caratteristiche blocchi RF (4)

- Segnali con frequenze molto diverse tra loro; es. portante e modulante
- Segnali con frequenze vicine (canali adiacenti o *down conversion* nel mixer) generano armoniche a frequenza molto più bassa



- Simulazione con analisi TRAN risulta impraticabile per misurare non linearità

Analisi Periodic Steady-State (1)

- Stimoli circuiti RF costituiti da uno o più toni (grandi segnali) a frequenza diversa
- Idea: valutare soluzione regime permanente senza calcolare transitorio iniziale
- Soluzione di regime: periodica (fondamentale + armoniche relative al singolo ingresso periodico) o quasi-periodica (fondamentali + miscelazione armoniche relative ai diversi ingressi periodici)

Analisi Periodic Steady-State (2)

- Analisi non-linearità:
 - Distorsioni
- Simulazione oscillatori (anche la frequenza di oscillazione è un'incognita!)
- Due algoritmi principali:
 - nel tempo: Shooting method (CAD: SpectreRF)
 - in frequenza (misto): Harmonic Balance (CAD: ADS)

Shooting method (1)

- Si basa su analisi transitorio imponendo vincolo che soluzione sia periodica:

$$v(t_0 + T) = v(t_0), \quad v(t_0) \text{ incognito e } T \text{ noto}$$

- $v(t_0)$ (valore iniziale) viene determinato con metodo iterativo (Newton)
- Analisi transitoria su un periodo T , combinata con analisi sensibilità per determinare $v(t_0)$ al passo successivo

Shooting method (2)

- Analisi oscillatori (Autonomous Shooting method): il periodo T è un'ulteriore incognita; deve essere aggiunta un'altra equazione
- Può essere applicato anche al caso di soluzioni quasi-periodiche
- Lavorando nel dominio nel tempo, risulta poco adatto a simulare componenti naturalmente descritti nel dominio della frequenza

Harmonic Balance (1)

- Idea: sviluppo soluzione in serie di Fourier (singolo tono) o Fourier generalizzato (più toni)
- Es. con due toni f_1 e f_2 :
$$v(t) = \sum_{k=-\infty}^{\infty} \sum_{l=-\infty}^{\infty} V_{kl} e^{j2\pi(kf_1 + lf_2)t}$$
- Le incognite sono i coefficienti V_{kl} dello sviluppo in serie di Fourier
- Perché metodo sia praticabile, lo sviluppo in serie di Fourier deve essere troncato (k e l limitati)

Harmonic Balance (2)

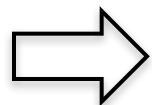
- Sistema eq. ai nodi (conduttanze e capacità non lineari e gen. di corrente $u(t)$ periodici T)

$$f(v(t), t) = i(v(t)) + \dot{q}(v(t)) + u(t) = 0 \quad v(t) \in \mathfrak{R}^n$$

- Sol. regime periodico: $v(t) = \sum_{k=-N}^N V_k e^{j2\pi kft}$; $f = 1/T$
(N limitato)

- Il sistema da risolvere:
$$\sum_{k=-N}^N F_k(V) e^{j2\pi kft} = 0$$

- Armoniche linearmente indipendenti



$$F_k(V) = j2\pi k f Q_k(V) + I_k(V) + U_k = 0 \quad -N \leq k \leq N$$

Harmonic Balance (3)

- Gli elementi non lineari modellati dominio nel tempo
- Necessario antitrasformare V (termini i e q non lineari valutati nel dominio del tempo) e poi ritrasformare i e q nel dominio della frequenza
- Vantaggio: i componenti sono modellati nel loro dominio più consono
- Risulta abbastanza complessa, soprattutto nel caso di più toni; problemi a convergere

Harmonic Balance (4)

- Può essere usata per analizzare oscillatori (Autonomous Harmonic Balance)
 - Il periodo T diventa un'ulteriore incognita
 - Serve un'ulteriore equazione
 - Non essendoci segnali esterni, la fase di una delle armoniche può essere fissata arbitrariamente
 - Serve un accorgimento per evitare la soluzione “banale” uguale a 0
 - Si può normalizzare funzione errore con la norma del vettore delle tensioni

Estensioni analisi steady-state

- Analisi Periodic Steady-State risolvono problema misura parametri di distorsione
- Sono la base per altre analisi che coprono la valutazione del rumore negli oscillatori e mixer e l'analisi di circuiti con segnali arbitrariamente modulati
 - Small-Signal AC analysis
 - Transient-Envelope

Riferimenti

- K. S. Kundert, “Introduction to RF Simulation and Its Application,” *IEEE J. Solid-State Circuits*, vol. 34, no. 9, pp. 1298-1319, Sep. 1999